

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2003年 3月 3日
Date of Application:

出願番号 特願2003-055129
Application Number:

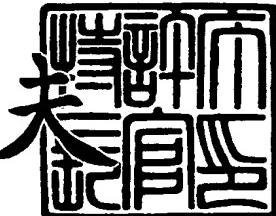
[ST. 10/C] : [JP2003-055129]

出願人 株式会社ルネサステクノロジ
Applicant(s):

2003年10月22日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



【書類名】

特許願

【整理番号】

H03000231

【あて先】

特許庁長官 殿

【国際特許分類】

G11C 11/34

【発明者】**【住所又は居所】** 東京都小平市上水本町五丁目 20 番 1 号 株式会社日立
製作所 半導体グループ内**【氏名】** 浅利 信介**【発明者】****【住所又は居所】** 東京都小平市上水本町五丁目 20 番 1 号 株式会社日立
製作所 半導体グループ内**【氏名】** 田村 隆之**【発明者】****【住所又は居所】** 東京都小平市上水本町五丁目 20 番 1 号 株式会社日立
製作所 半導体グループ内**【氏名】** 白石 敦**【特許出願人】****【識別番号】** 000005108**【氏名又は名称】** 株式会社 日立製作所**【代理人】****【識別番号】** 100085811**【弁理士】****【氏名又は名称】** 大日方 富雄**【手数料の表示】****【予納台帳番号】** 027177**【納付金額】** 21,000円**【提出物件の目録】****【物件名】** 明細書 1**【物件名】** 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 記憶装置およびアドレス管理方法

【特許請求の範囲】

【請求項 1】 データを同時に消去可能な複数の不揮発性メモリセルを含む第1メモリセル群が複数集合してなる第2メモリセル群が複数個設けられ、前記複数の第2メモリセル群の中のいずれかの第1メモリセル群に対して並行してデータの書き込み動作を行なうことができるよう構成された不揮発性半導体記憶装置と、外部からの指令に応じて前記不揮発性半導体記憶装置に対してアドレスとデータを与えて前記第1メモリセル群に対してデータの書き込みを行なう制御装置とを備えた記憶装置であって、

前記複数の第2メモリセル群のうちいずれかの第2メモリセル群の第1メモリセル群には、他の第2メモリセル群の中のいずれかの第1メモリセル群との結合情報を記憶する領域が設けられ、外部から供給されたアドレスに基づいて前記結合情報を記憶する領域が設けられた第1メモリセル群のうち前記アドレスに対応した第1メモリセル群を選択して前記結合情報を読み出し、読み出された該結合情報に基づいて他の第2メモリセル群の中のいずれかの第1メモリセル群に対して書き込みまたは消去動作を行なうように構成されてなることを特徴とする記憶装置。

【請求項 2】 外部から供給される論理アドレスと前記不揮発性半導体記憶装置内のいずれかの第1メモリセル群を指定する物理アドレスとの関係を示す情報を有する参照テーブルを備え、該参照テーブルを用いて前記論理アドレスから変換された物理アドレスにより前記結合情報を記憶する領域が設けられた第1メモリセル群のうち前記アドレスに対応した第1メモリセル群を選択して前記結合情報を読み出し、読み出された該結合情報に基づいて他の第2メモリセル群の中のいずれかの第1メモリセル群に対して書き込みまたは消去動作を行なうように構成されてなることを特徴とする請求項1に記載の記憶装置。

【請求項 3】 前記不揮発性半導体記憶装置の外部にあって前記制御装置によりデータを読み出したり書き込んだりすることが可能なバッファメモリを備え、前記参照テーブルは電源遮断時に前記不揮発性半導体記憶装置に格納され、電

源投入時に前記バッファメモリに読み出されることを特徴とする請求項1または2に記載の記憶装置。

【請求項4】 前記第1メモリセル群は、同一のワード線に接続された複数のメモリセルからなり、該複数のメモリセルのうち互いに隣接する2つのメモリセルは同一のビット線に接続され、該同一ビット線に接続されたメモリセルのうち一方は第1のソース線に接続され、他方は第2のソース線に接続され、記憶データの消去動作は同一のワード線に接続されたメモリセルを対象として行なわれ、記憶データの書き込み消去動作は同一のワード線に接続されたメモリセルのうち第1のソース線または第2のソース線に接続されたメモリセルを対象として行なわれることを特徴とする請求項1～3のいずれかに記載の記憶装置。

【請求項5】 前記結合情報により結合がなされていない第1メモリセル群は、前記結合情報により結合がなされているいずれかの第1メモリセル群において後天的に不良が発生した際に該不良が発生した第1メモリセル群と置換されるように構成されていることを特徴とする請求項1～4のいずれかに記載の記憶装置。

【請求項6】 前記不揮発性半導体記憶装置内のすべての第1メモリセル群についてそれぞれの第1メモリセル群に新たなデータを記憶することが可能か否かを示す情報を有する第2テーブルを備え、前記第2テーブルは電源遮断時に前記不揮発性半導体記憶装置に格納され、電源投入時に前記バッファメモリに読み出されることを特徴とする請求項3～5のいずれかに記載の記憶装置。

【請求項7】 外部から供給された論理アドレスに対応した第1メモリセル群へのデータの書き込みに際して、当該論理アドレスに対応する元の物理アドレスにより指定される第1メモリセル群に記憶されているデータを前記揮発性メモリへ読み出して書き込みデータと合成して新データを生成し、該新データを前記元の物理アドレスと異なる物理アドレスに格納するように構成されていることを特徴とする請求項3～6のいずれかに記載の記憶装置。

【請求項8】 前記新データの格納後に前記第2テーブルの前記元の物理アドレスにより指定される第1メモリセル群に関する情報を書き換えた後、前記参照テーブルの物理アドレスを前記新データが格納された第1メモリセル群を指定

する物理アドレスに書き換え、前記第2テーブルの前記元の物理アドレスと異なる物理アドレスにより指定される第1メモリセル群に関する情報を書き換えるように構成されていることを特徴とする請求項7に記載の記憶装置。

【請求項9】 前記結合情報を記憶する領域が設けられた第1メモリセル群には、消去済みか否かを示す管理情報を記憶する領域が設けられていることを特徴とする請求項1～8のいずれかに記載の記憶装置。

【請求項10】 前記不揮発性半導体記憶装置は、前記第2メモリセル群のそれぞれに対応して設けられ書き込みデータを保持可能な揮発性メモリを備えていることを特徴とする請求項1～9のいずれかに記載の記憶装置。

【請求項11】 データを同時に消去可能な複数の不揮発性メモリセルを含む第1メモリセル群が複数集合してなる第2メモリセル群が複数個設けられ、前記複数の第2メモリセル群の中のいずれかの第1メモリセル群に対して並行してデータの書き込み動作を行なうことができるよう構成された不揮発性半導体記憶装置におけるアドレス管理方法であって、

前記第1メモリセル群の中に不良メモリセルが含まれているか否かを検出する第1の動作と、

前記複数の第2メモリセル群の中からそれぞれ不良メモリセルを含む第1メモリセル群を回避しつつプリアドレスの先頭側から順に1つずつ第1メモリセル群を選択してグループ化させる第2の動作と、

前記グループ化された第1メモリセル群のうちいずれかの第1メモリセル群の管理情報記憶領域に、他の第2メモリセル群に属する第1メモリセル群の位置を示す結合情報を格納する第3の動作と、

を含む不揮発性半導体記憶装置におけるアドレス管理方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、電気的に書き込み、消去可能な不揮発性半導体記憶装置におけるアドレス管理方式に適用して有効な技術に関し、例えば複数のバンクを有しデータを所定の単位で一括消去可能なフラッシュメモリを内蔵したメモリカードのよう

な記憶装置に利用して有効な技術に関するものである。

【0002】

【従来の技術】

近年、デジタルカメラなどの携帯用電子機器のデータ記憶媒体として、電源電圧を遮断しても記憶データを保持できるフラッシュメモリなどの不揮発性メモリを内蔵したメモリカードと呼ばれるカード型記憶装置が広く利用されるようになって来ている。メモリカードは、一般に不揮発性メモリと該不揮発性メモリへのデータの書き込みや読み出しを制御するコントローラを内蔵して構成されることが多い。

【0003】

従来のメモリカードに内蔵されるフラッシュメモリは、一般に1つのメモリアレイを有し、該メモリアレイ内の同一ワード線に接続されたメモリセル群のような単位（以下、これをブロックと称する）で書き込みを行なうように構成されていた（特許文献1参照）。そのため、かかるフラッシュメモリへのデータの書き込みや読み出しを制御するコントローラは、ブロック単位でアドレスを管理する方式が採用されていた。

【0004】

ところで、半導体メモリは大容量化に対する要望が高い。この大容量化を達成するため、1つのメモリアレイを構成するメモリセルの数を多くすることも一つのやり方であるが、ビット線やワード線の長さが長くなつてデータの読み出し時間が長くなるという不具合がある。これに対し、1つのチップ内に複数のメモリアレイ（以下、バンクと称する）を設けることで大容量化を図る方式（マルチバンク方式）がある。

【0005】

かかるマルチバンク方式を採用すると、バンク内のビット線やワード線の長さはそれほど長くならないので、データの読み出し時間を短縮することができるとともに、複数のバンクにおいて並行して書き込み動作または消去動作を行なうことでの書き込み時間と消去時間の短縮を図ることができるという利点がある。

【0006】

【特許文献1】

特開2002-197876号公報

【0007】**【発明が解決しようとする課題】**

本発明者は、マルチバンク方式を採用したフラッシュメモリを用いたメモリカードのようなメモリシステムにおけるアドレス管理方式について検討を行なった。その結果、以下に述べるように課題があることが明らかになった。

図15は、従来のフラッシュメモリを使用したシステムにおけるアドレス割付け方式の一例を示す。図15のフラッシュメモリは、メモリアレイ内の1本のワード線に2112バイトのようなデータを記憶可能なメモリセルが接続されて1つのブロックを構成し、かかるブロックが例えば16384個設けられて128Mビットのような記憶容量を有するようにされている。この場合、外部のコントローラは、各ブロックに対応された14ビットのアドレス0000h～1FFFhにより書き込み対象のブロックを指定することとなる。

【0008】

かかるブロック対応のアドレス方式で、4つのバンクを有するフラッシュメモリを管理すると、複数のバンクの並列書き込みが行なえない。そこで、図16に示すように4つのバンクBANK0～BANK3に対応してSRAMなどからなる4つのバッファメモリBFM0～BFM3を設け、各バンクの同一ブロック同士を結合（グループ化）させて1つのアドレスに対応させることで複数のバンクの並列書き込みが可能になる。

【0009】

ところで、従来のフラッシュメモリでは、一般に、各ブロックに当該ブロックが不良ビットを含んでいるか否か等の管理情報を記憶する領域MDA（図15参照）を設け、該管理領域の情報をチェックしてから書き込みを行なう方式が採用されている。かかる方式を前述のようなマルチバンク方式のフラッシュメモリに適用すると、結合された4つのブロックのうちいずれかのブロックに不良メモリセル（以下、不良ビットと称する）が含まれていると正常な書き込みができないため、書き込みの度にすべてのブロックの管理領域の情報をチェックしなければならな

い。

【0010】

そのため、管理領域の情報チェックに時間がかかるとともに正常なメモリセル（以下、正常ビットと称する）に対する不良ビットの割合が各バンクで同じであると仮定すると、各バンクにおいてそれぞれ同一箇所で不良が発生するとは限らないので、メモリ全体として不良アドレスが発生する確率が高くなり、書き込み処理に要する時間が長くなる。

【0011】

そこで、図16に示すように、互いに結合された4つのブロックのうちいずれかのブロックに不良ビットが含まれている場合には、アドレスを割り付けないようとする管理方式が考えられる。図16においては、ハッチングが付されているブロックが不良ビットを含むブロックである。しかしながら、かかるアドレス管理方式に従うと、不良ビットを含まないにもかかわらず未使用になるブロックが多くなり、実質的な記憶容量が少なくなってしまうという不具合がある。図16においては、×印が付されているブロックが不良ビットを含まないにもかかわらず未使用になるブロックである。

【0012】

また、従来より、フラッシュメモリのアドレス管理方式として図15や図16のように各ブロックの物理アドレスと論理アドレスとを1対1で順に対応させて行く方式（以下、論物方式と称する）の他に、物理アドレスと論理アドレスとの対応を示す参照テーブルを用意して、該テーブルを用いて論理アドレスから物理アドレスへの変換を行なってブロックをアクセスする方式（以下、テーブル方式と称する）が知られているが、かかるテーブル方式においては、フラッシュメモリ内のすべてのブロックに関する物理アドレスを記憶せらるようにすると、参照テーブルのデータ量が多くなる。

【0013】

そして、参照テーブルのデータ量が多くなると、参照テーブルは一般にフラッシュメモリ内に格納されるため、フラッシュメモリ内のユーザが利用できる有効な領域が少なくなるとともに、参照テーブルを展開する外部のRAMのようなメ

モリの容量が大きくなるという不具合がある。なお、参照テーブルを外部のメモリに展開するのは、フラッシュメモリのアクセス速度はRAMに比べて遅いためいちいちフラッシュメモリ内の参照テーブルを参照していたのではアクセス時間が長くなるためである。

【0014】

この発明の目的は、フラッシュメモリのような電気的に書き込み、消去可能であって複数のバンクを有する不揮発性半導体記憶装置を用いたメモリシステムにおいて、不良ビットを含まないにもかかわらず未使用になるブロックが多くなり実質的な記憶容量が減少するのを防止することができるアドレス管理方式を提供することにある。

【0015】

この発明の他の目的は、フラッシュメモリのような電気的に書き込み、消去可能であって複数のバンクを有する不揮発性半導体記憶装置を用いテーブル方式を採用したメモリシステムにおいて、アドレス変換用の参照テーブルのデータ量を減らして実質的な記憶容量が減少するのを防止することができるアドレス管理方式を提供することにある。

【0016】

この発明のさらに他の目的は、フラッシュメモリのような電気的に書き込み、消去可能であって複数のバンクを有する不揮発性半導体記憶装置を用いたメモリシステムにおいて、外部メモリの記憶容量を少なくすることができるアドレス管理方式を提供することにある。

この発明の前記ならびにほかの目的と新規な特徴は、本明細書の記述及び添付図面から明らかになるであろう。

【0017】

【課題を解決するための手段】

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、下記のとおりである。

すなわち、本願の第1の発明は、複数のバンクを有するフラッシュメモリのような不揮発性半導体記憶装置を用いたメモリシステムにおいて、各バンクの先頭

から不良ビットを含むブロックを回避しつつ1ブロックずつ選択してグループ化させて、各ブロックのグループに先頭から順次アドレスを割り当ててチェーンを構成するようにしたのである。ここで、上記1ブロックとは一括消去の対象のメモリセル群全体を指す。一括消去の単位と一括書き込みの単位は異なっていても良い。以下、各バンクから1つずつ選択されグループ化されたブロックの集まりを、バンク間ブロックチェーンと称する。

【0018】

上記した手段によれば、不良ビットを含むブロックを回避してブロックチェーンが形成されるため、不良ビットを含まないにもかかわらず未使用になるブロックの数を減少させることができるようになる。

【0019】

また、望ましくは、互いに結合されたブロックのうちいずれか1つのバンクに属するブロックに管理情報格納領域を設け、当該ブロックに他のバンクのどのブロックが結合されるか示す情報（ページアドレス）を格納するように構成する。これにより、管理情報格納領域を有するバンクのブロックから管理情報を読み出すだけで結合された他のブロックの位置を知ることができる。

【0020】

【発明の実施の形態】

以下、本発明の実施例を、図面を用いて説明する。

図1は、本発明が適用される不揮発性メモリを内蔵したメモリカードの一実施例を示す。

この実施例のメモリカード100は、特に制限されないが、所定の単位でデータを電気的に一括消去することが可能なフラッシュメモリ110と、外部から供給されるコマンドに基づいて上記フラッシュメモリ110に対するデータの書き込みや読み出しを行なうコントローラ120とからなる。フラッシュメモリ110とコントローラ120は、それぞれ別個の半導体チップ上に半導体集積回路として形成されており、これら2つの半導体チップが図示しない基板上に実装され全体が樹脂でモールドもしくはセラミックパッケージ等に収納されてカードとして構成されている。

【0021】

また、カードの一側には、外部の装置のカードスロットに挿入されたときに外部装置側の回路と電気的に接続され、外部のホスト装置からメモリカード100に対して電源を供給したり信号の入出力を行なうための外部端子群130が設けられ、これらの外部端子は上記基板上に形成されたプリント配線もしくはボンディングワイヤによって上記コントローラ120の外部端子としてのパッドに接続される。フラッシュメモリ110とコントローラ120との間はプリント配線によって接続してもよいし、コントローラ120とフラッシュメモリ110とをいずれか一方の上に他方を搭載してボンディングワイヤによって接続するようにしてもよい。

【0022】

コントローラ120は、データ転送などカード内部全体の制御を行なうマイクロプロセッサ(MPU)121と、外部の装置との間の信号のやり取りを行なうホストインターフェース部122と、フラッシュメモリ120との間の信号のやり取りを行なうメモリインターフェース部123と、外部から入力されたコマンドや書込みデータ、フラッシュメモリ110から読み出された読み出しデータを一次保持するRAM(ランダムアクセスメモリ)などからなるバッファメモリ124と、該バッファメモリ124に対するデータの書込み読み出しの制御を行なうバッファ制御部125などから構成されている。バッファ制御部125には、フラッシュメモリ110への書き込みデータに対するエラー訂正符号の生成およびエラー訂正符号に基づく読み出しデータのチェックと訂正の機能を有するエラー訂正符号生成&エラー訂正回路を設けることも可能である。

【0023】

フラッシュメモリ110は、MPU121からの指示(コマンド)に従ってデータの書き込み、読み出しの制御を行なういわゆるフラッシュコントローラを内蔵したものであってもよいし、フラッシュコントローラを内蔵しないフラッシュメモリの場合にはフラッシュコントローラの機能をバッファ制御部125もしくはMPU121に持たせることも可能である。

【0024】

また、フラッシュメモリ110は、コマンドと制御信号に基づいて動作するよう構成されている。フラッシュメモリに有効なコマンドとしては、リードコマンドの他、ライトコマンド、消去コマンド等がある。これらのコマンドや制御信号は、MPU121等から与えられる。

【0025】

図1には、便宜上、従来のマルチメディアカード（Multi Media Card（登録商標））と呼ばれるカードメモリに設けられる外部端子を示したが、本発明を適用可能なメモリカードに設けられる外部端子は、図1に示されているものに限定されるものではなく、例えばデータ入出力端子を複数個備えパラレルでデータの転送が可能なものであっても良い。

【0026】

図2は、上記メモリカードに内蔵されているフラッシュメモリ110の概略構成を示す。フラッシュメモリには1つのメモリセルに1ビットのデータを記憶可能な2値メモリがあるが、この実施例のフラッシュメモリは1つのメモリセルに2ビットのデータを記憶可能な4値メモリとして構成され、単結晶シリコンのような1個の半導体チップ上に形成される。

【0027】

図2において、符号10は複数の不揮発性記憶素子（メモリセル）がマトリックス状に配置されたメモリアレイで、この実施例ではメモリアレイ10は4つのバンクBANK0, BANK1, BANK2, BANK3で構成されている。X-DEC0, X-DEC1, X-DEC2, X-DEC3はアドレス（Xアドレス）信号をデコードして前記メモリアレイ10内の対応するワード線を選択レベルにするXアドレスデコーダで、該XアドレスデコーダX-DEC0～X-DEC3にはメモリアレイ内のワード線を選択レベルに駆動するワードドライバ回路が含まれている。

【0028】

メモリアレイ10を構成するメモリセルは、フローティングゲートとコントロールゲートを有するMOSFETからなり、フローティングゲートに注入される電荷の量に応じてしきい値電圧が、4段階のいずれかに設定されることにより2ビ

ットの情報を記憶するようにされる。

【0029】

なお、本明細書においては、しきい値電圧が最も低い状態を消去状態と称する。つまり、しきい値電圧を下げる動作を消去と称し、しきい値電圧を上げる動作を書き込みもしくは書き戻しと称する。本実施例のフラッシュメモリにおいては、メモリアレイ10内のデータを書き換える際に、メモリセルは一旦消去状態にされてからデータに相当するしきい値電圧になるように書き込み電圧の印加が行なわれる。

【0030】

図2において、符号12a, 12bはメモリアレイ10内のグローバルビット線に接続され書き込みデータを保持したり読出し信号の増幅を行なったり、1本のワード線に接続された複数のメモリセルのうちバイト単位やワード単位など所定の単位で書き込みデータや読出しデータを選択したりするセンスアンプ&カラムスイッチ(SA&C-SW)、SRAM0, SRAM1, SRAM2, SRAM3は上記各バンクBANK0, BANK1, BANK2, BANK3に対応して設けられ外部から入力された書き込みデータを保持したりセンスアンプ12a, 12bにより増幅された読出しデータを例えばページ単位で保持するスタティックRAM(ランダムアクセスメモリ)などからなるバッファメモリ(以下、SRAMバッファと称する)、13は外部からのアドレス信号に基づいてもしくは内部で自動的にカラムアドレス信号を生成するカラムアドレスカウンタである。

【0031】

また、20は外部から入出力端子I/O0～I/O7を介して入力されたコマンドコードをデコードするコマンドデコーダ21や内部電源回路を制御する内部電源制御回路23など有し、入力されたコマンドに従ってチップ内部の制御信号を生成する制御部である。30は該制御部20の制御シーケンスをマイクロプログラムのような形式で記憶するシーケンス用ROM、31はデータ書き込み時や消去時に必要とされる高電圧(負電圧を含む)を生成する内部電源回路である。

【0032】

入出力端子I/O0～I/O7は、上記コマンドの入力の他、書き込みデータや

アドレスの入力、リードデータの出力にも利用される。書き込み時に外部より出入力端子 I/O 0 ~ I/O 7 に入力されたライトデータは前記 SRAM バッファ S RAM 0 ~ SRAM 3 およびセンスアンプ 12a, 12b を経てメモリアレイ 1 の各バンクに供給され、ライトアドレスは一旦制御部 20 に取り込まれてからアドレステコーダ X-DEC 0 ~ X-DEC 3 に供給される。

【0033】

また、この実施例のフラッシュメモリには、外部のコントローラから入力される例えばチップ選択信号 /CE、書き込み制御信号 /WE、出力制御信号 /OE、読み出し制御信号 /RE 等の制御信号が入力される制御端子が設けられており、これらの制御端子に入力された制御信号は制御部 20 に供給され、これらの制御信号に従ってチップ内部の動作状態が制御される。ここで、特に制限されるものでないが、符号の前に「/」が付記されている信号は、ロウレベルが有効レベルであること意味する。また、制御部 20 からはフラッシュメモリチップにコマンドを入力することが可能な状態にあるか否かを示すレディ / ビジー信号 R/B がチップ外部へ出力されるようにされている。

【0034】

図 3 にはこの実施例のメモリカードに用いられるフラッシュメモリ 110 のメモリアレイの 1 バンクの具体的な構成例を示す。

図 3 に示されているように、フラッシュメモリ 110 のメモリアレイの 1 バンクには、256 個のメモリセル MC 1 ~ MC 256 がローカルビット線 LBL 1, B L 2 ……とローカルソース線 LSL 11, LSL 21 ……との間に並列に接続されたメモリ列が例えば 4224 個ワード線方向に並んで配設されている。本明細書ではこれらの 256×4224 個のメモリセル群をサブブロックと称する。横方向つまり同一行のメモリセルはそれぞれ共通のワード線 WL 1, WL 2, ……WL 256 に接続されている。本明細書では、同一のワード線に接続されたメモリセル群をブロックと称する。本実施例のフラッシュメモリは、このブロックを単位として消去を行なうように構成されている。サブブロックは 1 バンク当たり 40 個設けられている。

【0035】

さらに、この実施例のメモリアレイは、256個のメモリセルからなるメモリ列のうち互いに隣接する奇数列のメモリセルと偶数列のメモリセルのドレイン端子が共通のローカルビット線L_BL₁, L_BL₂……に接続されている。そして、ローカルビット線L_BL₁, L_BL₂……は、それぞれ選択MOSFET Q_S1, Q_S2……を介して対応するグローバルビット線G_BL₁, G_BL₂……に接続可能にされている。図示しないが、グローバルビット線G_BL₁, G_BL₂……には、同様な構成のサブブロック内の対応するメモリ列のローカルビット線が接続可能にされる。

【0036】

また、奇数列のメモリセルのソース端子はローカルソース線L_SL₁1, L_SL₁2……に接続され、偶数列のメモリセルのソース端子はローカルソース線L_SL₂1, L_SL₂2……に接続されている。そして、奇数列のローカルソース線L_SL₁1, L_SL₁2……は第1のコモンソース線C_SL₁に接続され、偶数列のローカルソース線L_SL₂1, L_SL₂2……は第2のコモンソース線C_SL₂に接続されている。第1のコモンソース線C_SL₁と第2のコモンソース線C_SL₂には、データ消去時には同一の電圧(0V)が印加され、データ書き込み時には一方に書き込み電圧(0V)、他方に書き込み阻止電圧(3V)が印加される。これにより、書き込みの単位は消去の単位の半分とされる。

【0037】

なお、書き込みまたは消去時にはサブブロック内の256本のワード線のうち1本が選択にされ、書き込み時には8Vのような正の高電圧がまた消去時には-12Vのような負の高電圧が印加される。これにより、消去はブロック単位すなわち1本のワード線に接続された4224個のメモリセルを対象として行なわれ、書き込みは1本のワード線に接続された4224個のうち半分すなわち2112個のメモリセルを対象として行なわれる。以下、書き込みの単位をページと称する。従って、1ブロックは2ページで構成される。また、1ブロックを構成する2ページのうち奇数列のメモリセルからなるページを表ページ、偶数列のメモリセルからなるページを裏ページと称する。

【0038】

図4には、このページを基本単位とした場合の4つのバンクBANK0～BANK3とバッファメモリBFM0～BFM3との対応関係を示す。なお、図示の都合上、図4では1つのバンク当たりのブロックの数は正確には示されていない。図4に示されているように、各バンクBANK0～BANK3は複数のブロックBLK11～BLK1n, BLK21～BLK2n, BLK31～BLK3n, BLK41～BLK4nにより構成され、各ブロックはそれぞれ表ページSFPと裏ページRSPとで構成されている。そして、バンクBANK0にはバッファメモリBFM0が対応され、バンクBANK1にはバッファメモリBFM1が、バンクBANK2にはバッファメモリBFM2が、さらにバンクBANK3にはバッファメモリBFM3が対応されている。

【0039】

図5（A）には、上記のような構成を有するフラッシュメモリを内蔵したメモリカードにおけるアドレス割付け方式の一例を示す。図5（A）は図4に示されている回路のうちメモリアレイの部分のみ取り出して示したものであり、BANK0～BANK3はそれぞれバンク、符号BLKが付されているのはそれぞれブロックである。また、図5（A）において、ハッチングが付されているブロックはその中に不良ビットが含まれているブロックであることを表わしている。

【0040】

図5（A）から分かるように、本実施例においては、各バンクの先頭から不良ビットを含むブロックを回避しつつ順番に1ブロックずつ選択してグループ化させて、各ブロックのグループに先頭からいはずれか1つのバンクの最終ブロックに到達するまで順次アドレスを割り当てるよう構成されている。図5（A）において、同一の丸付き数字が付されているブロックは同一のアドレスによって同時に選択されるブロックであることを意味している。図16と比較すると明らかのように、本実施例を適用することにより、不良ビットを含まないにもかかわらず未使用になるブロック（×印が付いたブロック）の数を大幅に減らすことができる。なお、未割当のブロックは、後に発生した不良ビットを含むブロックと置換される予備ブロックとすることができます。

【0041】

各ブロックはそれぞれ図5（B）に示すように、表ページに設けられた表データ記憶部S-DTMおよび管理情報記憶部S-MDMと、裏ページに設けられた裏データ記憶部R-DTMおよび管理情報記憶部R-MDMとにより構成されている。特に制限されるものでないが、この実施例のフラッシュメモリは、1つのメモリセルに2ビットのデータを記憶可能に構成された多値メモリであるが、1つのメモリセルに1ビットのデータを記憶し読み出すように動作することができるようになっており、データ記憶部S-DTMとR-DTMでは1つのメモリセルに2ビットのデータを記憶し、管理情報記憶部S-MDMとR-MDMでは1つのメモリセルに1ビットのデータを記憶するようにされる。

【0042】

これより、表データ記憶部S-DTMと裏データ記憶部R-DTMの記憶容量は2080バイト、管理情報記憶部S-MDMとR-MDMの記憶容量は16バイトとなる。1つのメモリセルに1ビットのデータを記憶する方が読み出しデータの信頼性は高くなる。つまり、この実施例では、管理情報記憶部S-MDMとR-MDMの記憶データの方が信頼性は高いといえる。

【0043】

図6（A）にはバンクBANK0に属する各ブロックの管理情報記憶部S-MDMとR-MDMに設けられるデータの格納領域の構成、図6（B）にはバンクBANK1～3に属する各ブロックの管理情報記憶部S-MDMとR-MDMに設けられるデータの格納領域の構成を示す。

【0044】

図6（A）に示すように、この実施例においては、バンクBANK0の表ページに設けられる管理情報記憶部S-MDMに、当該ページが不良でないことを示すコードが格納される2バイトの良／不良領域MGAと、当該ブロックのデータ記憶部S-DTM、R-DTMに格納されるデータがシステムデータなのかユーザデータなのかを示すデータ種別識別情報が格納される2バイトのデータ識別領域DDAと、データを消去してはいけないブロックか否かを示す書き込み禁止フラグ領域WPFとが設けられている。残りの領域は未使用の領域である。この未使用領域には、消去済みか否かを示す情報や当該ブロックの消去回数、エラー訂正

用のECCコードを格納するようにしてもよい。

【0045】

また、バンクBANK0の裏ページに設けられる管理情報記憶部R-MDMには、当該ページが不良でないことを示すコード（MGMコード）が格納される2バイトの良／不良領域MGAと、当該ブロックと結合されるバンクBANK1の対応ブロックのページアドレスを格納するチェーン情報記憶領域RDA1と、当該ブロックと結合されるバンクBANK2の対応ブロックのページアドレスを格納するチェーン情報記憶領域RDA2と、当該ブロックと結合されるバンクBANK3の対応ブロックのページアドレスを格納するチェーン情報記憶領域RDA3とが設けられる。チェーン情報記憶領域RDA1, RDA2, RDA3はそれぞれ2バイトで構成される。残りの8バイトは未使用の領域である。

【0046】

以下、上記のように4つのバンクの中から1ブロックずつ選択して結合させることをバンク間ブロックチェーンと称し、FLBAと記す。このバンク間ブロックチェーンは、カード製造時に書き込まれる。

【0047】

一方、図6（B）に示すように、バンクBANK1～3の管理情報記憶部S-MDMとR-MDMには、それぞれ当該ページが不良でないことを示すMGMコードが格納される2バイトの良／不良領域MGAが設けられ、残りの14バイトは未使用の領域とされている。なお、バンクBANK1～3の管理情報記憶部S-MDMとR-MDMには必ずしも良／不良領域MGAを設ける必要はなく、省略することも可能である。MGMコードの格納は、バンク間ブロックチェーンの生成の際に行なうようにすることができる。

【0048】

また、実施例では、バンクBANK0の管理情報記憶部S-MDMとR-MDMを図6（A）のような構成にし、バンクBANK1～3の管理情報記憶部S-MDMとR-MDMを図6（B）のような構成にすると説明したが、バンクBANK1～3のうちいずれか1つの管理情報記憶部S-MDMとR-MDMを図6（A）のような構成にして、残りの3つのバンクの管理情報記憶部S-MDMと

R-MDMを図6（B）のような構成にするようにしてもよい。その場合、図6（A）のような構成にされたバンクの裏管理情報記憶部R-MDMのチェーン情報記憶領域RDA1～3には、当該ブロックと結合される他の3つのバンクBAUNKにあるブロックのページアドレスが格納される。つまり、図6（A）のような構成の管理情報記憶部を設けるのはバンクBANK0に限定されず、いずれのバンクであっても良い。

【0049】

次に、本実施例のメモリカードにおいてバンク間ブロックチェーンが定義されたフラッシュメモリに対してデータの書き込みおよび読み出しを行なう場合の手順の一例を、図7および図8のフローチャートを用いて説明する。なお、図7および図8のフローチャートに従った制御は、コントローラ120によって実行される。

【0050】

データ書き込み処理では、図7のように、先ず外部のホスト装置から入力された論理アドレスを、コントローラ120のMPU121が演算によりまたはテーブルを参照していずれかのバンク間ブロックチェーンFLBAを指定する物理アドレスに変換する（ステップS11）。

【0051】

続いて、該アドレスを用いてフラッシュメモリ110をアクセスし、該アドレスで指定されるバンク間ブロックチェーンFLBAのバンクBANK0のブロックの管理情報記憶部S-MDMとR-MDMに記憶されている管理情報を読み出してバッファメモリ124へ転送する（ステップS12）。そして、読み出された管理情報から、バンクBANK0の選択ブロックに対応するバンクBANK1～3のブロックのページアドレスを取得する（ステップS13）。

【0052】

ここで、バンクBANK0のブロックの管理情報記憶部S-MDMとR-MDMに記憶されている管理情報から直接分かるのは、対応するバンクBANK1～3のブロックの表ページ（もしくは裏ページ）のページアドレスであるが、表ページと裏ページのアドレスは所定の関係にあるので、裏ページ（もしくは表ペー

ジ) のページアドレスは計算によって求めることができる。また、バンクBANK0の選択ブロックのページアドレスは、ステップS11の演算により予め得ておくことができる。これにより、選択バンク間ブロックチェーンFLBAに属する全ブロックのページアドレスを知ることができる。

【0053】

次に、外部のホスト装置から入力された書き込みデータをバッファメモリ124を経由してフラッシュメモリ110の各バンクに対応されたSRAMバッファB FM0～BFM3へ転送する（ステップS14）。それから、書き込み先のブロックのメモリセルはすべてデータ消去済みであるか否かをチェックする（ステップS15）。この判定は、ステップS2でフラッシュメモリ110から読み出されたデータ記憶部S-DTM, R-DTMのデータがオール“0”か否かを調べて行なっても良いし、バンクBANK0のブロックの管理情報記憶部S-MDMとR-MDMにデータ消去済みであるか否かを記憶する領域が設けられている場合にはその領域の情報を調べて行なうことも可能である。

【0054】

ステップS15の判定でデータ消去済みであったときはそのままステップS17へ移行し、データ消去済みでなかったときはステップS16で当該バンク間ブロックチェーンFLBAのバンクBANK0～3に属するブロックのデータ記憶部S-DTM, R-DTMのデータを消去してからステップS17へ移行する。

【0055】

ステップS17では、ステップS14でSRAMバッファB FM0～BFM3へ転送した書き込みデータを、ステップS13で取得したページアドレスを使用して所望のブロックへ4バンク同時に並列書き込みを行なう。続いて、ステップS18へ移行して書き込みベリファイ動作を行ない、すべての選択ブロックの表ページ又は裏ページへの書き込みが終了したか否かを判定し、終了していないときはステップS14へ戻って再度上記動作（ステップS14～S17）を繰り返す。本実施例では、フラッシュメモリの構成から書き込みは表ページと裏ページ別々に行なわれる。則ち、4バンクの所望のブロックの表ページに関し書き込みを行い（ステップS17）、書き込み終了を確認（ステップS18）した後、当該ブロックの裏ペー

ジに関し書込を行い（ステップS17）、書込終了を確認（ステップS18）する。

【0056】

そして、ステップS18で表ページと裏ページへの書込みが終了したと判定すると、ステップS19へ移行して複数のブロックに亘る全データの書込みが終了したか否かを判定し、終了していないときはステップS11へ戻って再度上記動作（ステップS11～S17）を繰り返す。ステップS19で全データの書込みが終了したと判定したならば、書込み処理を終了する。ただし、ステップS11で論理アドレスから物理アドレスへの変換をテーブルを参照して行ないかつデータを他のブロックへ移し変えたような場合つまり論理アドレスは同じで物理アドレスを変えた場合には、ステップS19の後でテーブルの書換え等の処理をしてから終了する。

【0057】

データ読み出し処理では、図8のように、先ず外部のホスト装置から入力された論理アドレスを、コントローラ120のMPU121が演算によりまたはテーブルを参照していずれかのバンク間ブロックチェーンFLBAを指定する物理アドレスに変換する（ステップS21）。

【0058】

続いて、該アドレスを用いてフラッシュメモリ110をアクセスし、該アドレスで指定されるバンク間ブロックチェーンFLBAのバンクBANK0に属するブロックの管理情報記憶部S-MDMとR-MDMに記憶されている管理情報を読み出してバッファメモリ124へ転送する（ステップS22）。そして、読み出された管理情報から、バンクBANK0の選択ブロックに対応するバンクBANK1～3のブロックのページアドレスを取得する（ステップS23）。ステップS21～23は書込み処理のステップS11～S13と同様である。

【0059】

次に、ステップS23で取得したページアドレスを使用して、フラッシュメモリ110のメモリアレイから読み出された選択ブロックのページデータを、各バンクに対応されたSRAMバッファBFM0～BFM3へ転送する（ステップS

24）。そして、SRAMバッファB FM0～B FM3のデータをバッファメモリ124を経由して外部のホスト装置へ転送する（ステップS25）。本実施例では、フラッシュメモリの構成から読み出しは表ページと裏ページ別々に行なわれる。

【0060】

それから、すべての選択ブロックの表ページ又は裏ページの読み出しが終了したか否かを判定し、終了していないときはステップS24へ戻って再度上記動作（ステップS24～S26）を繰り返す。

【0061】

そして、ステップS25で表ページと裏ページの読み出しが終了したと判定すると、ステップS26へ移行して複数のブロックに亘る全データの読み出しが終了したか否かを判定し、終了していないときはステップS21へ戻って再度上記動作（ステップS21～S27）を繰り返す。ステップS27で全データの読み出しが終了したと判定したならば、読み出し処理を終了する。読み出し処理では、ステップS21で論理アドレスから物理アドレスへの変換をテーブルを参照して行なったとしても、ステップS27の後でテーブルの書換え等の処理はしなくてもよい。

【0062】

次に、本発明の第2の実施例を、図9～図15を用いて説明する。この第2の実施例は、外部から入力された論理アドレスを、変換テーブルを参照してフラッシュメモリの物理アドレスに変換するテーブル方式に適用した実施例である。この変換テーブルはフラッシュメモリのメモリアレイ内に格納されており、電源投入時にバッファメモリ124上もしくはコントローラMPU内のワークRAM上に、テーブルが格納されているFLBAの物理アドレスが登録される。

【0063】

図9は、第2実施例のテーブル方式のアドレス管理におけるフラッシュメモリのバンク間ブロックチェーンの構成例およびテーブル領域の設定例を示すものである。

バンク間ブロックチェーンの構成の仕方は、図5（A）を用いて説明した第1の実施例におけるそれと同じである。図9において、符号FLBAが付されたそ

それぞれの箱は、表裏2つのページからなるブロックである。各バンクに属するブロックのうち同一の符号が付されたものは同一のバンク間ブロックチェーンを構成するブロックである。また、ハッチングが付されているブロックはその中に不良ビットが含まれているブロックであることを意味している。

【0064】

図9に示されているように、この実施例においても各バンクの先頭から不良ビットを含むブロックを回避しつつ順番に1ブロックずつ選択してグループ化させてチェーンを構成し、各チェーンに先頭からいづれか1つのバンクの最終ブロックに到達するまで順次アドレスを割り当てるようになっている。

【0065】

さらに、この第2の実施例では、上記のようにしてチェーンが構成されたメモリアレイのうち不良ビットを含むブロックの少ない箇所がテーブル格納領域TSAとして選択され、残りの領域がデータ格納領域とされるようになっている。

【0066】

フラッシュメモリは不良ビットが局所的に発生する傾向があるので、上記のように重要なテーブルデータが格納される領域をサブブロックのうち不良ビットを含むブロックの少ない箇所に割り当てるにより、信頼性を向上させができるとともに新たに不良ビットを含むブロックが発生した時に行なわれるテーブル格納領域の再配置の処理回数を減らして待ち時間を短くすることができる。

【0067】

不良ビットを含まないにもかかわらず未使用になるバンク最終ブロック近傍の未割当のブロックは、後に発生した不良ビットを含むブロックと置換される予備ブロックとすることができます。上記テーブル格納領域TSAに格納されるテーブルは、本実施例では、アドレス変換用のテーブルおよびデータを書き込みあるいは上書きしてもよいブロックをリストアップした未使用テーブルである。

【0068】

特に制限されるものでないが、アドレス変換テーブルはメモリアレイ内のサブブロックの数（320個）だけ設けられ、各アドレス変換テーブルはそれぞれ512バイトで構成されている。本実施例のフラッシュメモリの1ページは前述し

たように2112バイトであるので、1ページに4つ、1ブロックに8つのアドレス変換テーブルが格納される。

【0069】

アドレス変換テーブルが格納されるサブブロックは、カード製造時に実行されるフォーマット動作により決定される。また、テーブルが格納されているサブブロックの位置及び各テーブルの物理アドレスは、電源投入時にMPU121が各ブロックの管理情報記憶部のデータ種別識別情報等を参照して見つけ、MPU121内のワークRAMもしくはバッファメモリ124内に登録しておくようになる。

図10（A）には上記アドレス変換テーブルの構成例を、また図10（B）には未使用テーブルの構成例を示す。

【0070】

図10（A）のアドレス変換テーブルにおいて、上欄CAはカラムアドレス、下欄の「値」は変換後のページアドレスを意味する。また、末尾に“h”が付されている数字はそれが16進数表示であることを意味している。ホスト装置から与えられる論理アドレスはフラッシュメモリのカラムアドレスに対応され、かつ論理アドレスはカラムアドレスの先頭から順番に対応される。

【0071】

1つのアドレス変換テーブルは1つのブロックに格納され、1つのバンク間ブロックチェーンFLBAのページアドレスは2バイトで表わされるので、1テーブルには256個のFLBAページアドレスを登録することができる。これは変換前の論理アドレスに換算すると8192個であり、外部のホスト装置から入力される論理アドレスが64バイト単位であるとすると、 8192×64 バイトのアドレス情報を1つの変換テーブルに登録できることを意味している。

【0072】

また、1ブロックには4096バイトのデータ領域があるので、1つのブロックには8つのアドレス変換テーブルが格納可能である。一方、実施例のフラッシュメモリは、1つのサブブロックには256個のブロックがあり、1ブロックは2ページからなり1つのバンクに40個のサブブロックがあるので、FLBAペ

ージアドレスの数は最大で81920個である。従って、アドレス変換テーブルは320個必要であり、320個のアドレス変換テーブルは40個のブロックすなわちいずれか1つバンクの1サブブロックに格納することができる。

【0073】

図10（A）の変換テーブルでは、変換前の論理アドレス“HBA0～31”はバンクBANK0のページアドレスが“0000”から始まるバンク間ブロックチェーンFLBAに割り当てられ、変換前の論理アドレス“HBA32～63”はバンクBANK0のページアドレスが“0050”から始まるバンク間ブロックチェーンFLBAに割り当てられることを示している。変換後の物理アドレスは連続していなくても良い。

【0074】

なお、図10（A）のアドレス変換テーブルにおいて、下欄の変換後の値がFFFである時はまだページアドレスが割り当てられていないことを示している。また、この実施例では、バンクBANK0のページアドレスを指定するのに13ビットあればよく、これを2バイト（16ビット）の変換後アドレス格納領域に格納する場合3ビット余るので、ここに書き込み禁止を指示する情報などバンク間ブロックチェーンの管理に関する制御情報フラグを格納するのに利用することができる。

【0075】

未使用テーブルは、物理アドレス順に各ブロックに1ビットが割り当てられ、“1”が立っているビットに対応するブロックは消去が可能であることを表わし、“0”が立っているビットに対応するブロックは消去が不許可であることを表わすようにされる。図10（B）の未使用テーブルは、バンクBANK0の2番目のブロックと5番目及び6番目のブロックがそれぞれ消去可能であることを宣言している。

【0076】

1つの未使用テーブルは512バイト（4096ビット）で構成され、4096個のブロックの消去の可否が1つの未使用テーブルで設定可能である。実施例のフラッシュメモリは、1つのサブブロックに256個のブロックがあり、1つ

のバンクに40個のサブブロックがあるので、4つのバンク全体で40960個のブロックがある。従って、未使用テーブルは10個必要である。一方、1ブロックには4096バイトのデータ領域があり、1つのブロックには8つの未使用テーブルを格納できるスペースがあるので、10個の未使用テーブルは2つのブロックに格納することができる。また、前述のように全てのアドレス変換テーブルは1つのバンクの1サブブロックに格納可能である。

【0077】

実施例のフラッシュメモリには4つのバンクがあるので、図9のように4つのバンクのあるサブブロックをテーブル格納領域TSAとした場合、大部分（約3／4）が未使用の領域となる。そこで、このテーブル格納領域TSA内でアドレス変換テーブルおよび未使用テーブルを順次シフトさせながら格納することができ、かつそのようにシフトを行なうことによりテーブルの書換えで特定のブロックの書換え回数のみ極端に多くなって信頼性が低下するのを回避することができる。

【0078】

図11には、テーブル方式を採用したメモリカードにおける論理アドレスから物理アドレスへの変換手順が示されている。なお、図11のフローチャートに従った制御は、コントローラ120によって実行される。

コントローラ120のMPU121は、外部のホスト装置からリードコマンドやライトコマンドと共に論理アドレスを受け取ると、当該論理アドレスの論理-物理変換情報を登録してあるアドレス変換テーブルの番号を決定する（ステップS31）。次に、フラッシュメモリ110のフォーマット時に選択されたテーブル専用のサブブロックの中から、電源投入時にMPUのRAMもしくはコントローラ内バッファに登録されたアドレス変換テーブルの物理アドレスを参照して、アドレス変換テーブルのデータをフラッシュメモリ110から読み出してコントローラ120のバッファメモリ124の所定の番地に格納する（ステップS32）。それから、バッファメモリ124内に格納したテーブルを参照してホスト装置が指定した論理アドレスに対応したバンク間ブロックチェーンFLBAのページアドレスを取得する（ステップS33）。その後、このページアドレスを用い

てホスト装置により指定されたコマンドに応じてフラッシュメモリからのデータの読み出し、または書き込みを実行する。

【0079】

次に、実施例のメモリカードにおいて、テーブル方式を採用してデータの書き込みを行なう場合の手順を、図12～図14を用いて説明する。

図12には、あるバンク間ブロックチェーンFLBA_iのバンクBANK0の表ページのデータの一部を書き換える場合の手順の概略が示されている。

図12において、DBA、TBAはバッファメモリ214のデータバッファ領域およびテーブル展開領域、SRAM0～SRAM3はリードデータとライトデータが一時保持されるSRAMバッファ、FLSはフラッシュメモリのメモリアレイ、TSAはテーブル格納領域、またはACTはアドレス変換テーブル、EETは未使用テーブルである。丸で囲まれた数字はデータ書換えの際の動作の順番を示す。

【0080】

具体的には、①のようにメモリアレイFLSからアドレス変換テーブルACTと未使用テーブルEETをバッファメモリのテーブル展開領域TBAへ読み出してから、②のようにMPUがバッファ上のテーブルから旧データのブロックと新データのブロックのブロックアドレスを取得する。次に、③のようにMPUからメモリアレイFLSへ旧データのブロックアドレスを与え、旧データをSRAMバッファSRAM0～SRAM3へ読み出す。

【0081】

それから、④のようにホスト装置からのライトデータをデータバッファ領域DBAから書き込み位置に対応したSRAMバッファ（例えばSRAM0）に転送する。しかる後、⑤のようにMPUからメモリアレイFLSへ新データのブロックアドレスを与え、SRAMバッファSRAM0～SRAM3のデータをメモリアレイFLSの新ブロックへ格納する。それから、⑥のようにアドレス変換テーブルACTに新データのブロックアドレスを登録するとともに未使用テーブルEETに旧データのブロックを消去可能なブロックとして登録する。

【0082】

データの一部を書き換える場合、新しいデータを元のメモリセルに書き込むことも可能であるが、新データの書込み中に電源が遮断されたりすると元のデータが消滅してしまうことがある。そこで、この実施例では、データの一部を書き換える場合には、元のデータが入っているバンク間ブロックチェーンF L B A iのデータの一部を外部からの新データに置き換えて他のバンク間ブロックチェーンF L B A jに書き込むようにしている。

【0083】

これにより、新データの書込み中やテーブル更新中に電源が遮断されても、元のデータが消滅したり正しいデータを読み出せなくなってしまうのを防止することができる。また、このようにすることによって、新データの書込み先のブロックの書換え回数をチェックして書換え回数の少ないブロックへ書込みを行なうことにより、データの書換えが特定のページに集中して発生することで局所的なメモリセルの劣化が生じるのを回避することができるようになる。

【0084】

次に、データ書換えのより詳細な手順を図13および図14のフローチャートを用いて説明する。

外部のホスト装置から書込みコマンドが入力されると、MPU121はホスト装置からの論理アドレスから使用するアドレス変換テーブルのページアドレスとカラムアドレスを算出し、算出したアドレスを用いてフラッシュメモリ110からアドレス変換テーブルをバッファメモリ124へ読み出す（ステップS41, S42）。

【0085】

なお、このステップS41, S42を実行する代わりに、電源投入時等に予めフラッシュメモリ内のすべてのアドレス変換テーブルをバッファメモリ124へ読み込んでおくようにしてもよい。このようにすることより、例えばテーブルの更新はバッファメモリ124上で行ない電源遮断時にテーブルのデータをフラッシュメモリ110へ戻すことでフラッシュメモリの書換え回数を減らすことが可能となる。

【0086】

ステップS42でアドレス変換テーブルを読み込んだ後は、テーブルを参照して、書き換えようとするデータが格納されているブロックを含むバンク間ブロックチェーンF L B AのバンクBANK0のページアドレスを取得する（ステップS43）。このとき、アドレス変換テーブルの変換後のアドレス値が“FFFh”であり対応する物理アドレスがないときは、そこには旧データがないということであるので、ステップS44からそのままステップS46へジャンプする。

【0087】

アドレス変換テーブルの変換後のアドレス値が“FFFh”以外のときはその物理アドレスには旧データがあるということであるので、ステップS44からステップS45へ移行して、旧データが格納されているバンク間ブロックチェーンF L B AのバンクBANK0の裏ページの管理情報記憶部のデータを読み出して、結合された他のバンクBANK1～BANK3のページアドレスを取得する。

【0088】

ステップS46では、例えばバンクBANK0の裏ページの管理情報記憶部に設けられている書込み禁止フラグWPF等をチェックしてライトプロテクトがかかっているか否か判定する。そして、ライトプロテクトがかかっていると判定したときはそのまま処理を終了し、ライトプロテクトがかかっていないと判定したときはステップS47へ移行してフラッシュメモリ110内に格納されている未使用テーブルを読み出してバッファメモリ124に転送する。

【0089】

次に、新データを書き込むバンク間ブロックチェーンF L B AのバンクBANK0の検索開始ページアドレスを算出する（ステップS48）。このページアドレスは乱数生成機能等を用いてランダムに生成される。生成されるアドレスが検索開始ページアドレスとされているのは、未使用テーブルにはすべてのブロックの消去可能か不許可かを示す情報がのっているので生成されたページアドレスをそのままライトアドレスとすると、ランダムに生成されたページアドレスがたまたま消去不許可なブロックを指示するものであった場合に上書きにより必要なデータが失われてしまうのを回避するためである。また、検索開始ページアドレス

をランダムに生成しているのは、常に先頭から検索を開始すると書き込みが行なわれるブロックが先頭の方にあるものに集中してしまうためである。

【0090】

ステップS48の後、上記検索開始ページアドレスを用いて未使用テーブルを検索して新データを書き込むバンク間ブロックチェーンF L B Aが見つからなかったときは書き込みエラーとして処理を終了する（ステップS49）。一方、ステップS49で新データを書き込むバンク間ブロックチェーンF L B Aが見つかった時は、符号Aに従って図14のステップS50へ移行する。

【0091】

ステップS50では、新データを書き込むバンク間ブロックチェーンF L B AのバンクBANK0の表ページと裏ページの管理情報記憶部のデータを読み出して、当該バンクがユーザデータ領域等で書き込み可能な領域であるか否かを判定するとともに、結合された他のバンクBANK1～BANK3のページアドレスを取得する。その後、旧データが格納されているバンク間ブロックチェーンF L B AのバンクBANK0～BANK4の表ページのデータをすべてSRAMバッファSRAM0～SRAM4へ読み出す（ステップS51）。

【0092】

それから、ステップS50で読み出した管理情報のフラグから新データを書き込むバンク間ブロックチェーンF L B Aのブロックが既に消去済みか否かを判定する（ステップS52）。そして、消去済みであればステップS54へジャンプし、消去済みでなければステップS53で新データを書き込むバンク間ブロックチェーンF L B AのバンクBANK0～BANK4のデータ記憶部のデータをすべて消去してからステップS54へ移行する。

【0093】

ステップS54では、ステップS51で読み出した旧データとホスト装置からの書き込みデータとをSRAMバッファSRAM0～SRAM4上で合成することにより表ページの新データの作成を行なう。ここで、旧データには、旧データが格納されているバンク間ブロックチェーンF L B AのバンクBANK0～BANK4のデータ記憶部のデータの他に、管理情報記憶部のデータが含まれる。また

、新データを作成する際に消去済フラグやECCコード、消去回数など更新の必要があるものは、MPU121の処理により更新が行なわれる。

【0094】

その後、上記ステップS54で作成した新データを、新データのバンク間ブロックチェーンFLBAのバンクBANK0とこれに結合された他のバンクBANK1～BANK3の表ページに書き込む（ステップS55）。

【0095】

次に、旧データが格納されているバンク間ブロックチェーンFLBAのバンクBANK0～BANK4の裏ページのデータをすべてSRAMバッファSRAM0～SRAM4へ読み出す（ステップS56）。

【0096】

それから、ステップS56で読み出した旧データとホスト装置からの書き込みデータとをSRAMバッファSRAM0～SRAM4上で合成することにより裏ページの新データの作成を行なう（ステップS57）。ここで、書き込みデータが表ページのものである場合にはデータ記憶部の旧データと管理情報記憶部のページアドレスがそのまま新データとなる。

【0097】

書き込みデータが表ページのものである場合にはデータ記憶部の旧データのうち書換え対象のデータのみ書き込みデータで置換されたものが新データとなる。この場合にも管理情報記憶部のページアドレスはそのまま新データに含まれるようにされる。また、裏ページの管理情報記憶部にECCコードや消去回数などを格納する領域が設けられている場合にはそれらの管理情報のうち更新の必要性があるものは、MPU121の処理により更新が行なわれる。

【0098】

その後、上記ステップS57で作成した新データを、新データのバンク間ブロックチェーンFLBAのバンクBANK0とこれに結合された他のバンクBANK1～BANK3の表ページに書き込む（ステップS58）。それから、新データが書き込まれたブロックに関する未使用テーブルの値が「消去可」から「消去不許可」に更新する処理が行なわれる（ステップS59）。

【0099】

また、アドレス変換テーブルに関しても変換後の物理アドレスを、旧データのバンクBANK0のページアドレスから新データのバンクBANK0のページアドレスへ更新する処理が行なわれる（ステップS60）。そして、最後に旧データが格納されていたブロックに関する未使用テーブルの値を「消去不許可」から「消去可」に更新する処理が行なわれる（ステップS61）。このように、アドレス変換テーブルの更新後に旧データが格納されていたブロックに関する未使用テーブルが更新されることにより、新データの書き込みや新データのブロックに関する未使用テーブルの更新、アドレス変換テーブルの更新中に電源が遮断されたような場合にも旧データを保存つまり再読出しができるようになる。

【0100】

なお、この実施例のメモリカードにおいては、ブロック間チェーン情報（ページアドレス）の他に消去済フラグ等の逐次更新される管理情報が格納されるバンクがBANK0に固定されている場合を説明したが、管理情報が格納されるバンクをBANK0から、BANK1, BANK2, BANK3に順次入れ替えるようになることも可能である。消去済フラグ等の管理情報が逐次更新されるとその度に当該ブロックに対する書換えが発生するので、バンクBANK0のみ書換え回数が多くなるが、管理情報が格納されるバンクを入れ替えることにより書換え回数を平均化することができ、局所的なメモリセルの劣化を抑制することができる。

【0101】

以上本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。例えば、実施例においては、消去単位が書き込み単位の2倍であるフラッシュメモリに適用した場合を説明したが、本発明は消去単位が書き込み単位と同一であるフラッシュメモリにも適用することができる。

【0102】

具体的には、実施例では、1つのワード線に接続された複数のメモリセル群（

ブロック) のうち半分が第1のローカルソース線に接続され、残りの半分が第2のローカルソース線に接続されて、1ブロックが2つのページにより構成されているが、ページとブロックが同じである場合にも適用することができる。また、逆に消去単位が書き込み単位の3倍以上であるフラッシュメモリにも適用することができる。本発明はメモリアレイが並列書き込み可能な複数のバンクで構成されている不揮発性メモリおよびそれを用いた記憶装置に広く利用することができる。

【0103】

また、実施例においては、バンクBANK0の管理情報記憶部にこれと結合された他の3つのバンクBANK1～BANK3のページアドレスを記憶するようしているが、いずれかのバンクの管理情報記憶部にこれと結合された他のいずれかのバンクのページアドレスを記憶し、該いずれかのバンクの管理情報記憶部にこれとさらに結合された他のバンクのページアドレスを記憶させるようにする。つまり、チェーンを2段階以上に張るように構成することも可能である。

【0104】

さらに、実施例では、1つの記憶素子(メモリセル)に2ビットのデータを記憶可能な4値のフラッシュメモリについて説明したが、本発明は1つの記憶素子に1ビットのデータを記憶する2値のフラッシュメモリや3ビット以上のデータを記憶する多値のフラッシュメモリに対しても適用することができる。

【0105】

また、実施例においてはメモリセルのしきい値電圧が低い状態を消去状態と称し、しきい値電圧が高い状態を書き込み状態と称しているが、メモリセルのしきい値電圧が高い状態を消去状態に対応させ、しきい値電圧が低い状態を書き込み状態に対応させるようにしたフラッシュメモリに対しても本発明を適用することができる。

【0106】

さらに、前記実施例においては、複数の記憶素子がビット線とソース線との間に並列に接続されたいわゆるAND型もしくはNOR型のフラッシュメモリについて説明したが、本発明は記憶素子が直列に接続されたいわゆるNAND型のフラッシュメモリや、MONOS構造のメモリセルを持つ不揮発性メモリ等に対し

ても適用することができる。

【0107】

以上の説明では主として本発明者によってなされた発明をその背景となった利用分野であるフラッシュメモリを用いたメモリカードに適用した場合について説明したが、この発明はそれに限定されるものでなく、本発明は、電圧を印加してしきい値電圧を変化させて情報の記憶を行なう不揮発性記憶素子を有するEEPROMその他の半導体メモリを用いたメモリカードおよび複数の不揮発性メモリを1枚のプリント配線基板上に搭載してなるメモリモジュールと呼ばれる記憶装置などに広く利用することができる。

【0108】

【発明の効果】

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記のとおりである。

すなわち、本発明に従うと、複数のバンクを有するフラッシュメモリのような不揮発性半導体記憶装置を用いたメモリシステムにおいて、不良ビットを含むブロックを回避してブロックチェーンが形成されるため、不良ビットを含まないにもかかわらず未使用になるブロックを減少させ、実質的な記憶容量を増加させることができるようになる。

【0109】

また、管理情報格納領域を有するバンクのブロックから管理情報を読み出すだけで結合された他のブロックを知ることができるとともに、すべてのブロックに関する論理アドレスを物理アドレスに変換するアドレス変換テーブルを用意する場合に比べてテーブルの規模を小さくし、テーブルをフラッシュメモリに格納することによりメモリの実質的な記憶容量が減少するのを防止することができるようになる。

【図面の簡単な説明】

【図1】

本発明を適用して有効な不揮発性半導体記憶装置としてのフラッシュメモリを内蔵したメモリカードの一実施例を示すブロック図である。

【図2】

実施例のメモリカードに内蔵されたフラッシュメモリの構成例を示すブロック図である。

【図3】

実施例のフラッシュメモリのメモリアレイの構成例を示す回路説明図である。

【図4】

実施例のフラッシュメモリにおけるメモリアレイのバンク構成とバッファメモリとの関係を示す説明図である。

【図5】

図5（A）は実施例のフラッシュメモリを内蔵したメモリカードにおけるアドレス割付け方式の一例を示す説明図、図5（B）は各バンク内のブロックの構成例を示す説明図である。

【図6】

図6（A）は実施例のフラッシュメモリにおけるバンクBANK0の管理情報記憶部の構成例を示す説明図、図6（B）はバンクBANK1～3の管理情報記憶部の構成例を示す説明図である。

【図7】

第1実施例のメモリカードにおけるデータ書き込み処理の手順の一例を示すフローチャートである。

【図8】

第1実施例のメモリカードにおけるデータ読み出し処理の手順の一例を示すフローチャートである。

【図9】

第2実施例のテーブル方式のアドレス管理におけるフラッシュメモリのバンク間ブロックチェーンの構成例およびテーブル領域の設定例を示す説明図である。

【図10】

図10（A）はアドレス変換テーブルの構成例を示す説明図、図10（B）は未使用テーブルの構成例を示す説明図である。

【図11】

テーブル方式を採用したメモリカードにおける論理アドレスから物理アドレスへの変換手順を示すフローチャートである。

【図12】

あるバンク間ブロックチェーンのバンクBANK0の表ページのデータの一部を書き換える場合の手順の概略を示す説明図である。

【図13】

テーブル方式を採用したメモリカードにおけるデータ書換え時の手順の前半を示すフローチャートである。

【図14】

テーブル方式を採用したメモリカードにおけるデータ書換え時の手順の後半を示すフローチャートである。

【図15】

従来のフラッシュメモリを使用したシステムにおけるアドレス割付け方式の一例を示す説明図である。

【図16】

本発明に先立って検討したマルチバンクのフラッシュメモリを使用したシステムにおけるアドレス割付け方式の一例を示す説明図である。

【符号の説明】

10 メモリアレイ

12a, 12b センスアンプ&カラムスイッチ

20 制御部

BANK0～BANK3 バンク

SRAM0～SRAM3 SRAMバッファ

X-DEC0～X-DEC3 Xアドレスデコーダ

MC メモリセル

WL ワード線

LBL ローカルビット線

LBL グローバルビット線

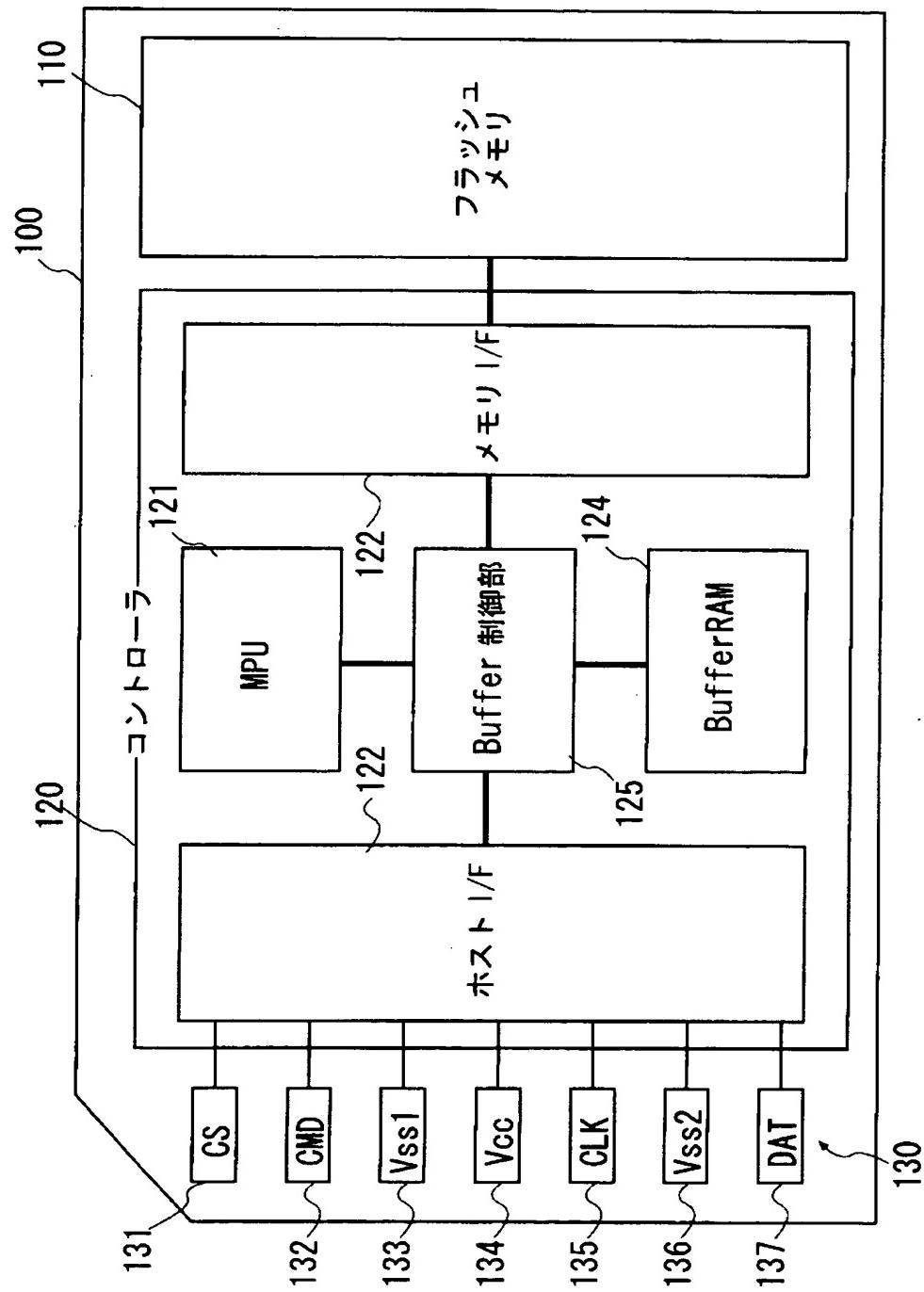
LSL11～LSL22 ローカルソース線

Q s 1 , Q S 2 選択スイッチMOSFET

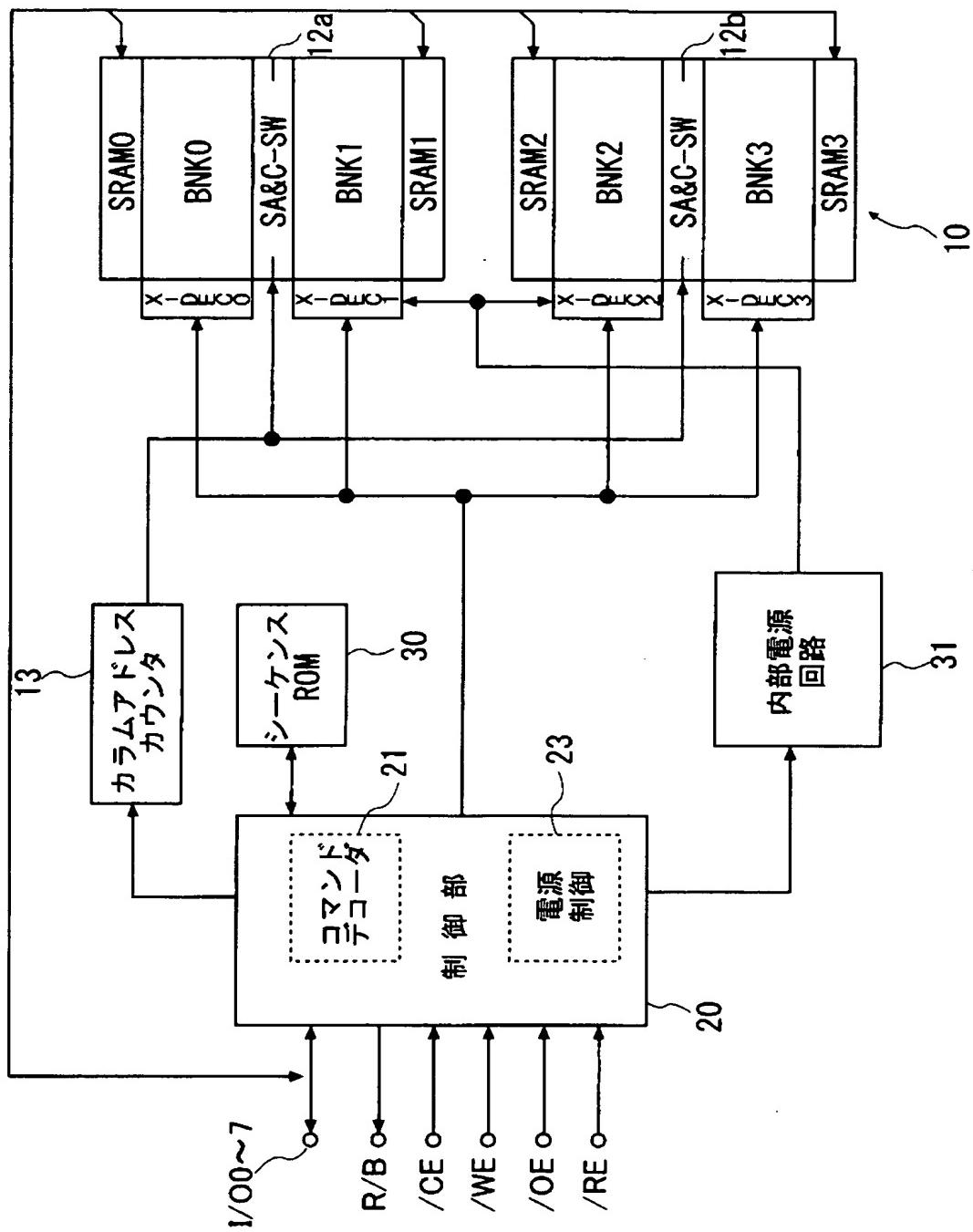
【書類名】

図面

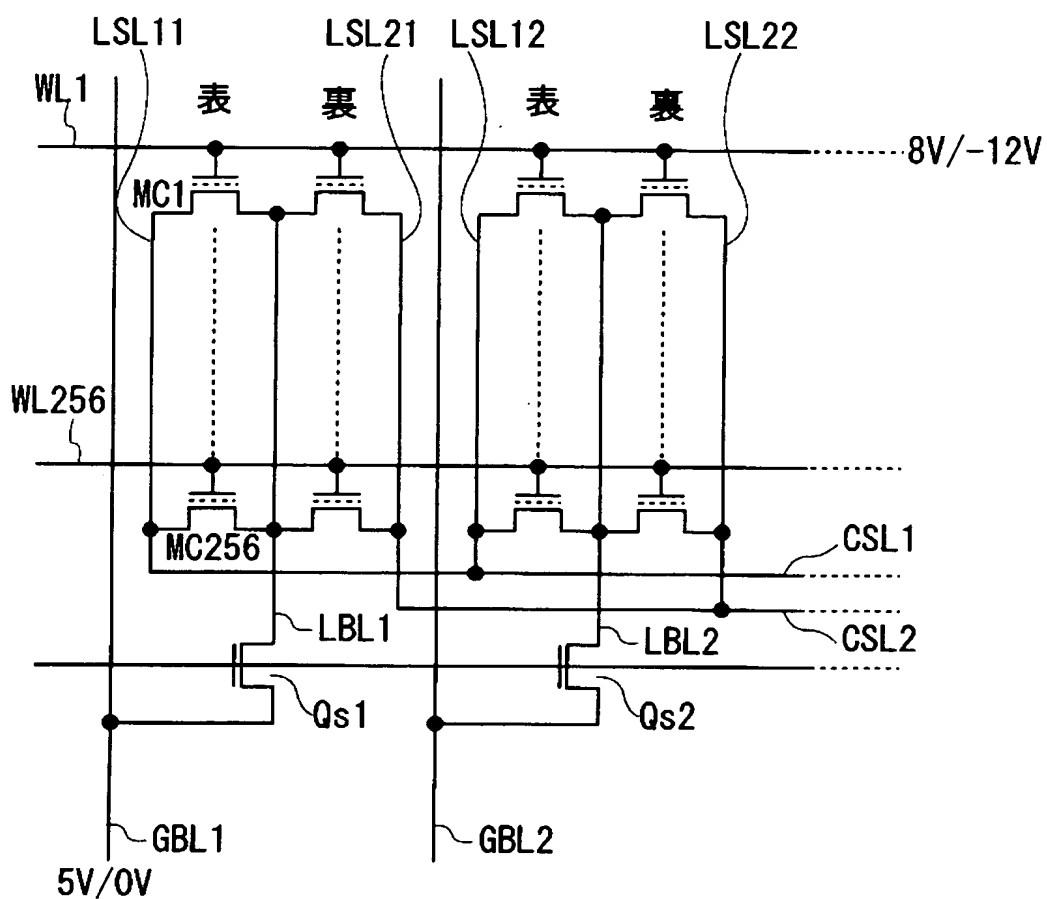
【図1】



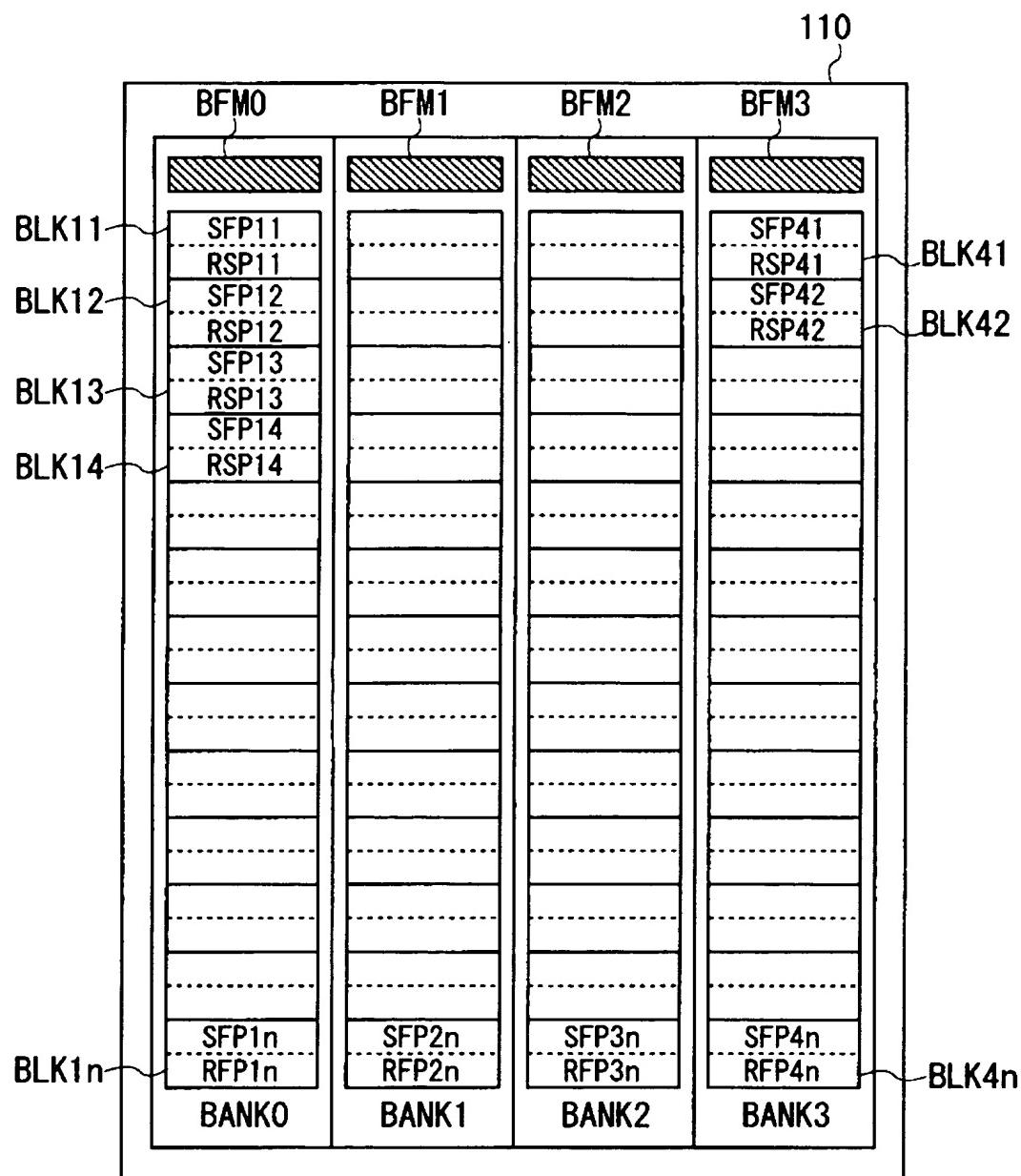
【図 2】



【図3】



【図 4】

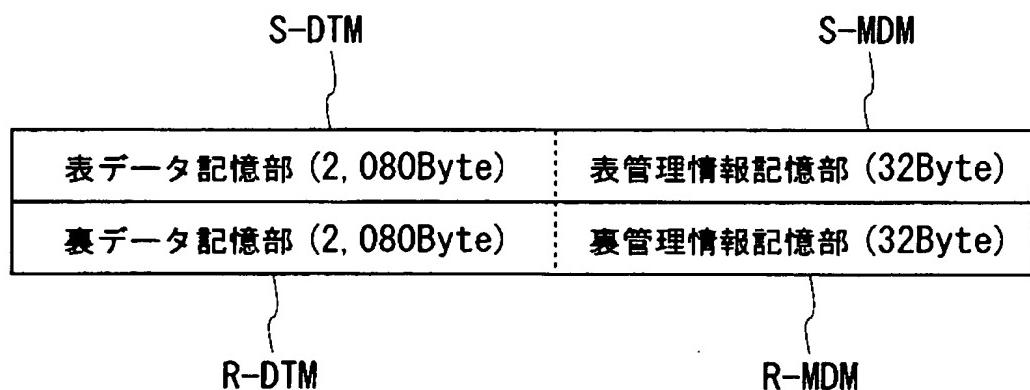


【図 5】

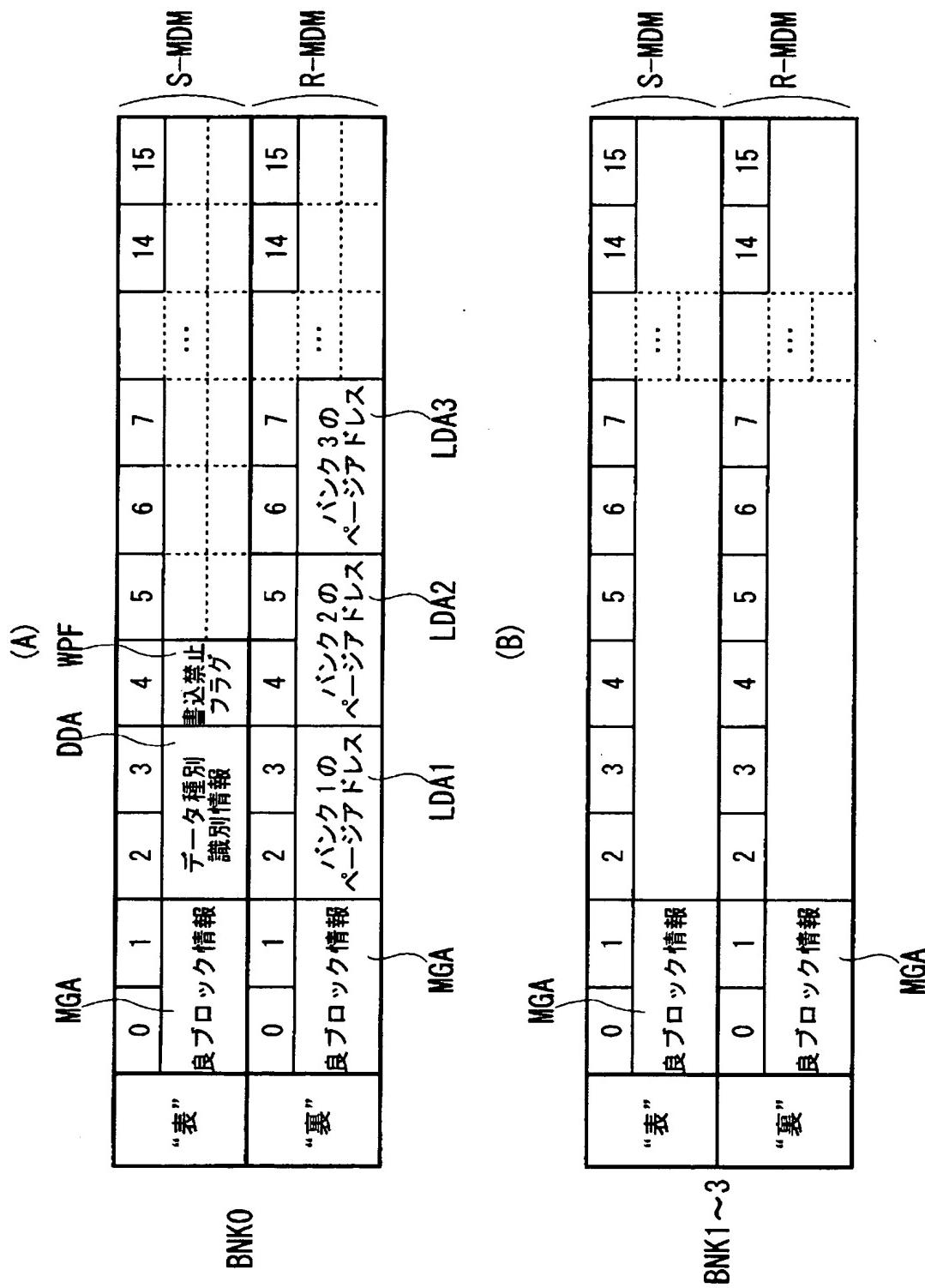
(A)

	BANK0	BANK1	BANK2	BANK3
アドレス 0	①		①	①
アドレス 1	②	①	②	②
アドレス 2	③	②	③	③
アドレス 3	④	③	④	④
アドレス 4	⑤	④	⑤	⑤
アドレス 5	⑥	⑤	⑥	⑥
アドレス 6	⑦	⑥	⑦	⑦
アドレス 7	⑧	⑧	X	⑧

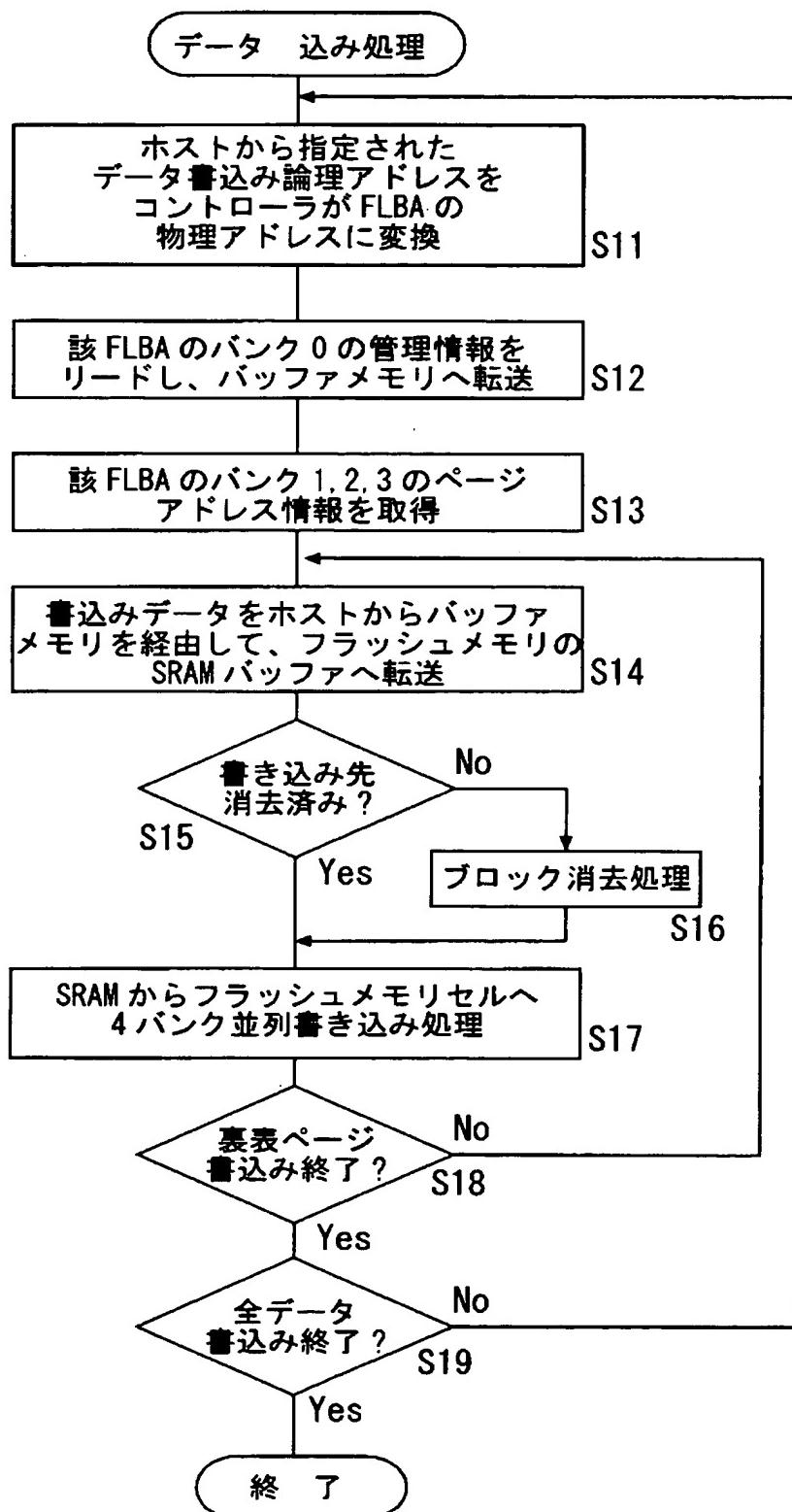
(B)



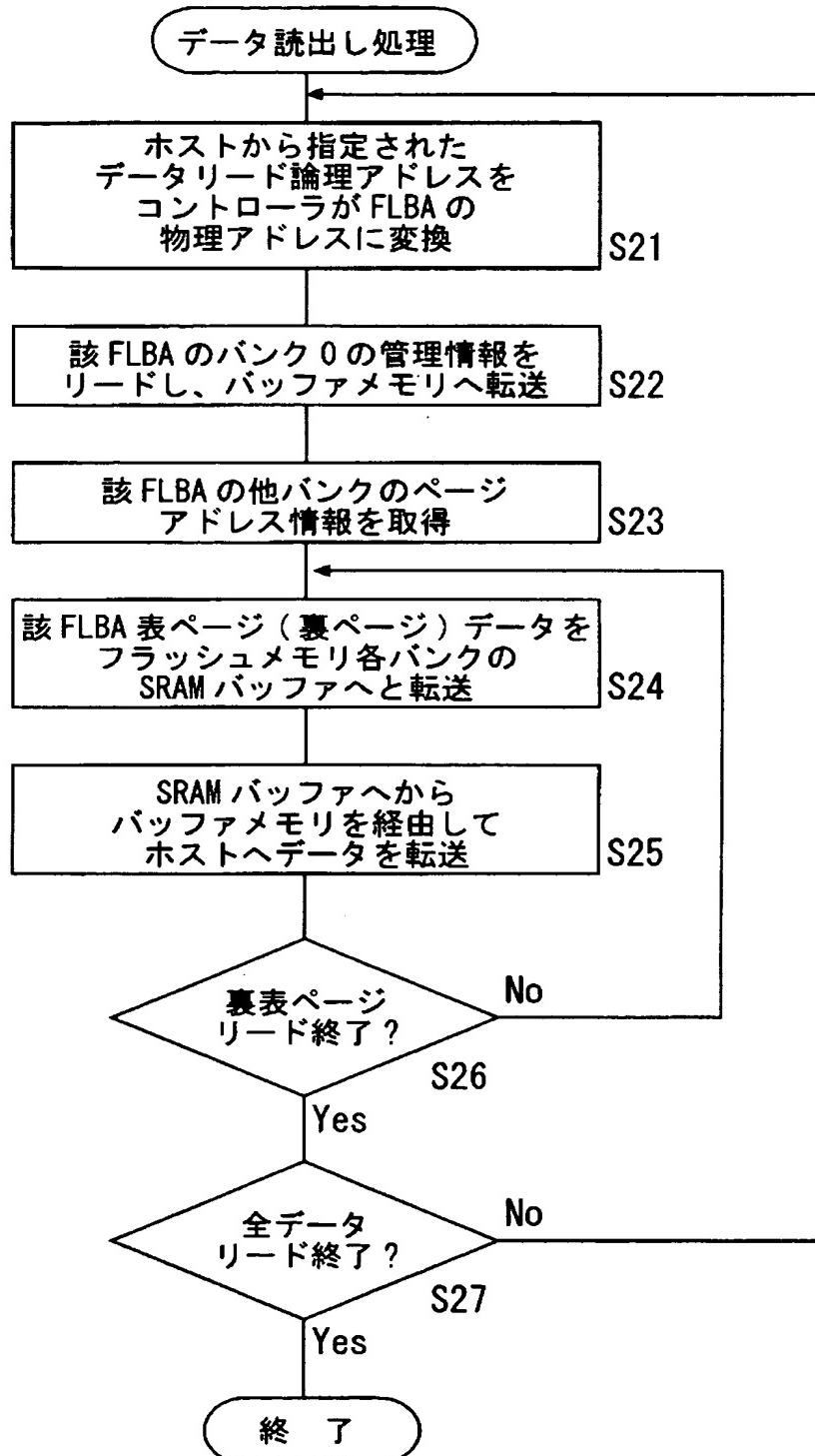
【図 6】



【図7】



【図8】



【図9】

BNK0	BNK1	BNK2	BNK3
FLBA0		FLBA0	FLBA0
FLBA1	FLBA0	FLBA1	FLBA1
	FLBA1	FLBA2	FLBA2
FLBA2	FLBA2	FLBA3	FLBA3
FLBA3	FLBA3		FLBA4
FLBA4	FLBA4	FLBA4	FLBA5
FLBA M-2	FLBA M-1	FLBA M-2	
FLBA M-1		FLBA M-1	FLBA M-1
FLBA M	FLBA M	FLBA M	FLBA M
FLBA M+1	FLBA M+1	FLBA M+1	FLBA M+1
FLBA M+2	FLBA M+2	FLBA M+2	FLBA M+2
FLBA M+3	FLBA M+3	FLBA M+3	FLBA M+3
FLBA N-1	FLBA N+3	FLBA N	FLBA N-1
FLBA N	FLBA N+4	FLBA N+1	
FLBA N+1	FLBA N+5		FLBA N
	FLBA N+6	FLBA N+2	FLBA N+1
FLBA 0+3	FLBA 0+3	FLBA 0	FLBA 0+2
未割当	未割当	FLBA 0+1	FLBA 0+3
未割当	未割当	FLBA 0+2	未割当
未割当	未割当	FLBA 0+3	未割当

【図 10】

(A)

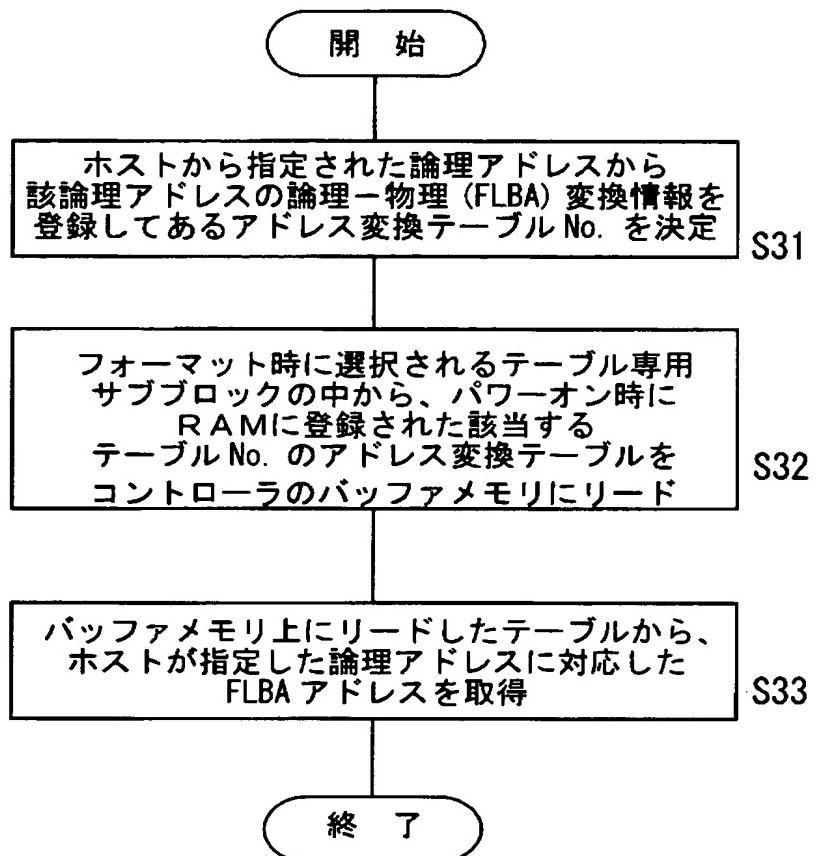
CA	000h	001h	002h	003h	...	1FCh	1FDh	1FEh	1FFh
	HBA0～31	HBA32～63			...	HBA8128～8159	HBA8160～8191		
値	0000h	0050h	...		FFFFh	FFFh			

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
内容																
バンク 0 のページアドレス																情報フラグ

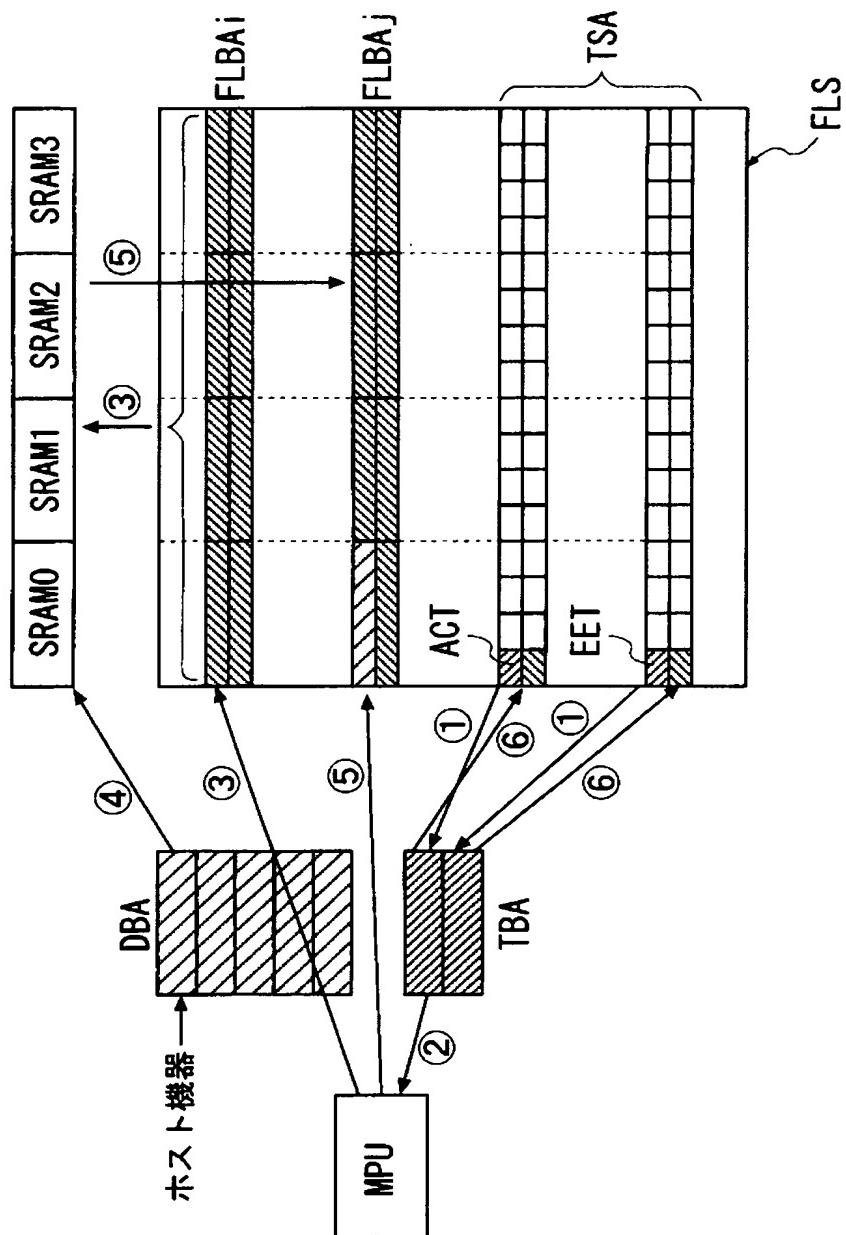
(B)

CA	000h	001h	...	1FFh
	7	6	5	4
値	0	1	0	0

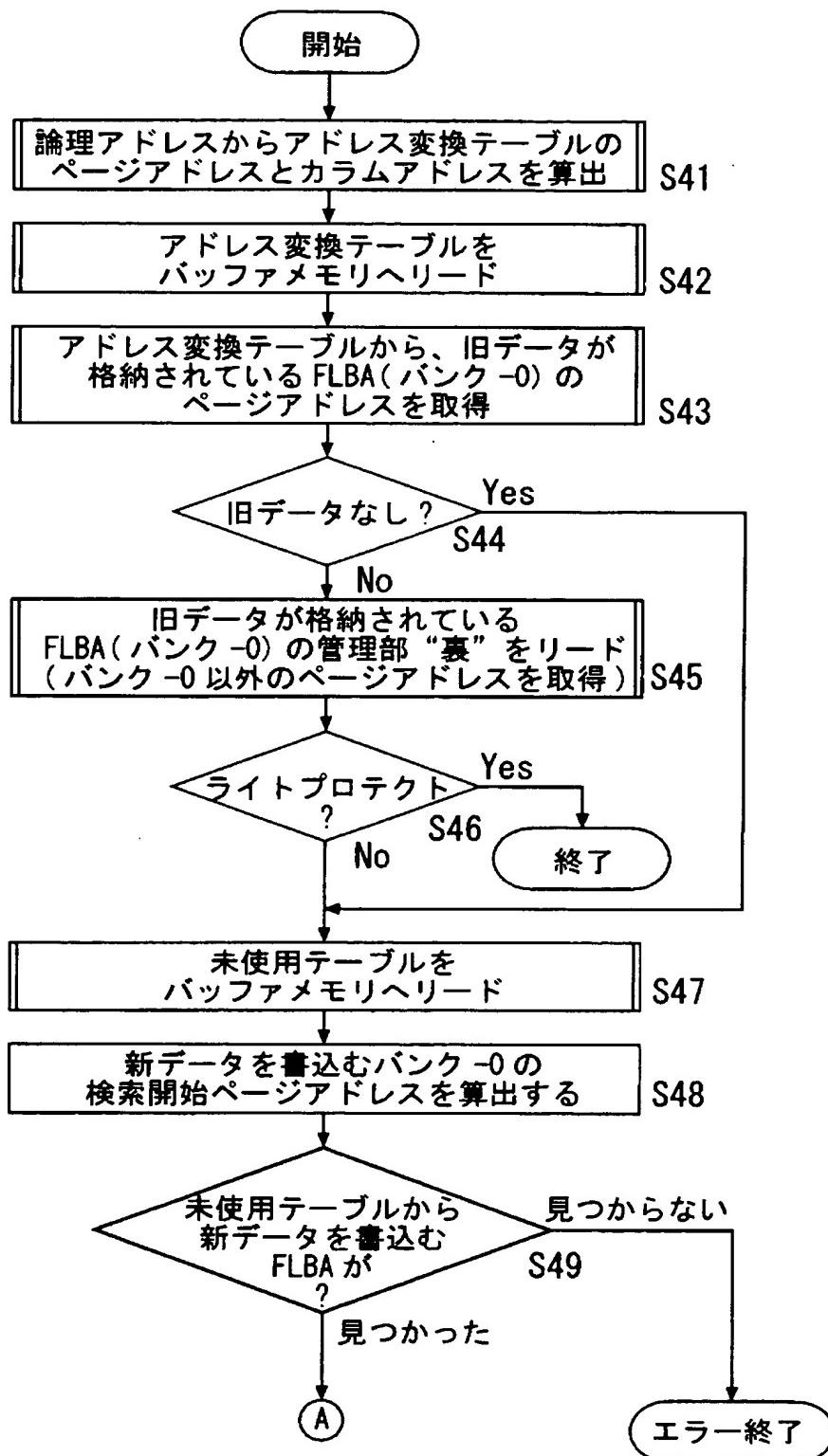
【図11】



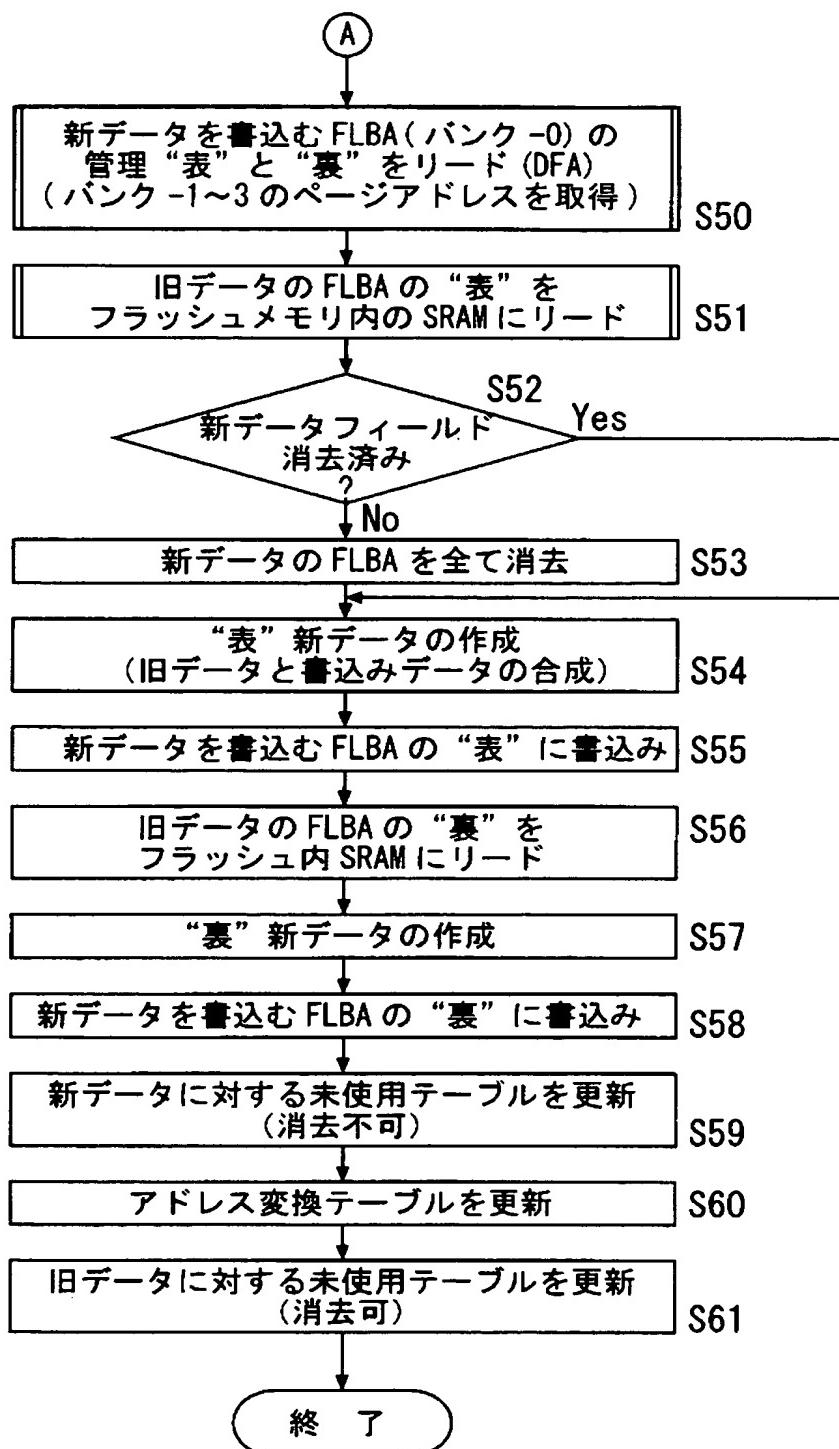
【図 12】



【図13】



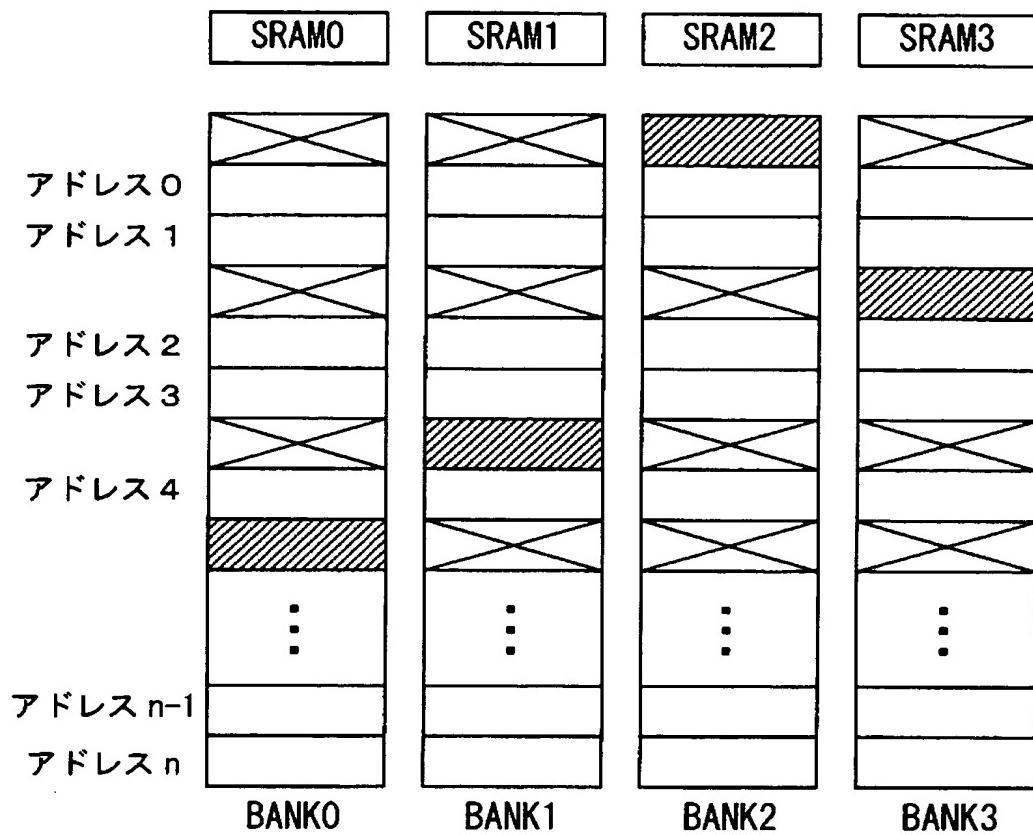
【図14】



【図15】



【図16】



【書類名】 要約書

【要約】

【課題】 フラッシュメモリのような電気的に書き込み、消去可能であって複数のバンクを有する不揮発性半導体記憶装置を用いたメモリシステムにおいて、不良ビットを含まないにもかかわらず未使用になるブロックが多くなり実質的な記憶容量が減少するのを防止する。

【解決手段】 複数のバンク（BANK 0～BANK 3）を有するフラッシュメモリのような不揮発性半導体記憶装置を用いたメモリシステムにおいて、各バンクの先頭から不良ビットを含むブロックを回避しつつ1ブロックずつ選択してグループ化させて、各ブロックのグループに先頭から順次アドレスを割り当ててバンク間ブロックチェーンを構成するようにした。

【選択図】 図5

認定・付加情報

特許出願の番号 特願2003-055129
受付番号 50300338039
書類名 特許願
担当官 第七担当上席 0096
作成日 平成15年 3月 4日

<認定情報・付加情報>

【提出日】 平成15年 3月 3日

次頁無

【書類名】 出願人名義変更届（一般承継）

【あて先】 特許庁長官 殿

【事件の表示】

【出願番号】 特願2003- 55129

【承継人】

【識別番号】 503121103

【氏名又は名称】 株式会社ルネサステクノロジ

【承継人代理人】

【識別番号】 100085811

【弁理士】

【氏名又は名称】 大日方 富雄

【提出物件の目録】

【包括委任状番号】 0308733

【物件名】 承継人であることを証明する登記簿謄本 1

【援用の表示】 特許第3154542号 平成15年4月11日付け
提出の会社分割による特許権移転登録申請書 を援用
する

【物件名】 権利の承継を証明する承継証明書 1

【援用の表示】 特願平3-108712号 同日提出の出願人
名義変更届（一般承継）を援用する

【プルーフの要否】 要

認定・付加情報

特許出願の番号	特願2003-055129
受付番号	50301232454
書類名	出願人名義変更届（一般承継）
担当官	小野寺 光子 1721
作成日	平成15年 9月 2日

<認定情報・付加情報>

【提出日】	平成15年 7月25日
-------	-------------

特願 2003-055129

出願人履歴情報

識別番号 [000005108]

1. 変更年月日 1990年 8月31日
[変更理由] 新規登録
住 所 東京都千代田区神田駿河台4丁目6番地
氏 名 株式会社日立製作所

特願 2003-055129

出願人履歴情報

識別番号 [503121103]

1. 変更年月日 2003年 4月 1日

[変更理由] 新規登録

住 所 東京都千代田区丸の内二丁目4番1号
氏 名 株式会社ルネサステクノロジ